

日本国特許庁

JAPAN PATENT OFFICE

3) Priority paper  
Step 1  
11/14/01



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月29日

出願番号

Application Number:

特願2000-301063

出願人

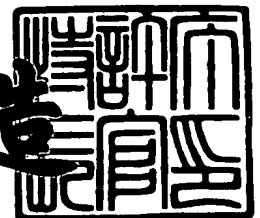
Applicant(s):

株式会社東芝

2001年 8月 3日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3069597

【書類名】 特許願

【整理番号】 A000002903

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/00

【発明の名称】 不揮発性半導体記憶装置および不揮発性半導体メモリシステム

【請求項の数】 20

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 田中 智晴

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 助川 博

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100084618

    【弁理士】

    【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置および不揮発性半導体メモリシステム

【特許請求の範囲】

【請求項 1】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記メモリセルアレイに接続される複数のワード線、およびそれぞれの一端がそれぞれのワード線に接続され、それぞれ他端が入力端子に接続される複数の転送ゲートトランジスタが形成される第 1 の半導体基板と、

前記入力端子に接続される出力端子に、その出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第 2 の半導体基板と

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 の半導体基板と前記第 2 の半導体基板とが積層されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 少なくとも 2 つ以上の前記第 1 の半導体基板と前記第 2 の半導体基板とが積層されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記メモリセルアレイに接続される複数のワード線、それぞれの一端がそれぞれのワード線に接続され、およびそれぞれ他端が入力端子に接続される複数の転送ゲートトランジスタが形成される第 1 の半導体基板と、

その出力信号が出力端子に接続される前記ワード線を制御するためのワード線制御回路が形成される第 2 の半導体基板とを備え、

前記第 1 の半導体基板は第 1 のパッケージに封止され、前記入力端子は前記第 1 のパッケージの端子に接続され、

前記第 2 の半導体基板は第 2 のパッケージに封止され、前記出力端子は前記第 2 のパッケージの端子に接続され、

前記第 1 のパッケージと前記第 2 のパッケージとが積層され、前記第 1 のパッ

ケースの端子と前記第 2 のパッケージの端子が積層側面に設けられた配線で互いに接続されることを特徴とする不揮発性半導体記憶装置。

【請求項 5】 少なくとも 2 つ以上の前記第 1 のパッケージと前記第 2 のパッケージとが積層されることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】 積層された前記第 1 のパッケージおよび前記第 2 のパッケージおよび前記配線は、さらに第 3 のパッケージに封止されることを特徴とする請求項 4 及び請求項 5 いずれかに記載の不揮発性半導体記憶装置。

【請求項 7】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記メモリセルアレイに接続される複数のワード線、およびそれぞれの一端がそれぞれのワード線に接続され、それぞれの他端が入力端子に接続される複数の転送ゲートトランジスタが形成される第 1 の半導体基板と、

その出力信号が出力端子に接続される前記ワード線を制御するためのワード線制御回路と、インターフェイス回路が形成される第 2 の半導体基板とを備え、

前記第 1 の半導体基板は第 1 のパッケージに封止され、前記入力端子は前記第 1 のパッケージの端子に接続され、

前記第 2 の半導体基板は第 2 のパッケージに封止され、前記出力端子は前記第 2 のパッケージの端子に接続され、

前記第 1 のパッケージと前記第 2 のパッケージが積層され、前記第 1 のパッケージの端子と前記第 2 のパッケージの端子が積層側面に設けられた配線で互いに接続され、

前記第 2 のパッケージの積層面の裏面に前記インターフェイス回路に接続されるインターフェイス端子が設けられることを特徴とする不揮発性半導体記憶装置。

【請求項 8】 少なくとも 2 つ以上の前記第 1 のパッケージと前記第 2 のパッケージとが積層されることを特徴とする請求項 7 に記載の不揮発性半導体記憶装置。

【請求項 9】 積層された前記第 1 のパッケージおよび前記第 2 のパッケー

ジおよび前記配線は、さらに第 3 のパッケージに封止され、前記第 3 のパッケージには前記インターフェイス端子から引き出された引き出し端子が設けられることを特徴とする請求項 7 及び請求項 8 いずれかに記載の不揮発性半導体記憶装置。

【請求項 1 0】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記複数のビット線を制御するための第 1 のシフトレジスタ、前記メモリセルアレイに接続される複数のワード線、それぞれの一端がそれぞれのワード線に接続され、それぞれ他端が入力端子に接続される複数の転送ゲートトランジスタ、および前記複数の転送ゲートトランジスタのゲートを制御するための第 2 のシフトレジスタが形成される第 1 の半導体基板と、

前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第 2 の半導体基板と

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 1 1】 前記第 1 の半導体基板と前記第 2 の半導体基板とが積層されることを特徴とする請求項 1 0 に記載の不揮発性半導体記憶装置。

【請求項 1 2】 少なくとも 2 つ以上の前記第 1 の半導体基板と前記第 2 の半導体基板とが積層されることを特徴とする請求項 1 0 に記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記メモリセルアレイ中の欠陥セルのアドレスを記憶するための記憶回路を前記第 2 の半導体基板上に、さらに備えたことを特徴とする請求項 1 0 に記載の不揮発性半導体記憶装置。

【請求項 1 4】 パッケージに封止された、ネットワークプロトコルに対応したインターフェイス回路と、

不揮発性半導体メモリセルアレイと、

前記不揮発性半導体メモリセルアレイを制御するための制御回路と、

データファイルと前記メモリセルアレイのアドレスの関係を管理するファイル管理エンジンと

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 1 5】 前記インターフェイス回路はTCP/IPに対応していることを特徴とする請求項 1 4 に記載の不揮発性半導体記憶装置。

【請求項 1 6】 前記インターフェイス回路はftp(file transfer protocol)接続可能であることを特徴とする請求項 1 5 に記載の不揮発性半導体記憶装置。

【請求項 1 7】 前記インターフェイス回路はanonymous ftp(file transfer protocol)接続可能であることを特徴とする請求項 1 5 に記載の不揮発性半導体記憶装置。

【請求項 1 8】 前記インターフェイス回路はPPP(Point to Point Protocol)接続可能であることを特徴とする請求項 1 5 に記載の不揮発性半導体記憶装置。

【請求項 1 9】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記メモリセルアレイに接続される複数のワード線、それぞれの一端がそれぞれのワード線に接続され、およびそれぞれ他端が入力端子に接続される複数の転送ゲートトランジスタが形成される第 1 の半導体基板と、

前記入力端子に接続される出力端子に、その出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第 2 の半導体基板と

を備えたことを特徴とする不揮発性半導体メモリシステム。

【請求項 2 0】 複数の不揮発性半導体メモリセルから構成されるメモリセルアレイ、前記メモリセルアレイに接続される複数のビット線、前記複数のビット線を制御するための第 1 のシフトレジスタ、前記メモリセルアレイに接続される複数のワード線、それぞれの一端がそれぞれのワード線に接続され、それぞれの他端が入力端子に接続される複数の転送ゲートトランジスタ、および前記複数の転送ゲートトランジスタのゲートを制御するための第 2 のシフトレジスタが形成される第 1 の半導体基板と、

前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第 2 の半導体基板と

を備えたことを特徴とする不揮発性半導体メモリシステム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電氣的に書替え可能な不揮発性半導体記憶装置およびそのシステムに係わり、特にフラッシュメモリに関する。

【 0 0 0 2 】

【従来の技術】

従来のフラッシュメモリは、デジタル制御インターフェイスを持つ。デジタル制御信号端子のほか電源端子や書き込み・消去電源端子を持つが、これらはDC入力で、フラッシュメモリ内部で外部からのデジタル制御信号に応じて制御され、適当な波形に整形されメモリセルに印加される。このため、フラッシュメモリ内部では、メモリセルの読み出し・書き込み・消去に必要な信号を作るために、メモリセル以外に多くの周辺回路と呼ばれる制御回路を持つ。

【 0 0 0 3 】

また、フラッシュメモリを用いた多くの脱着可能な記憶装置がある。例えばスマートメディアやコンパクトフラッシュやメモリスティック、SDカードなどである。スマートメディアのインターフェイスはNANDフラッシュメモリのインターフェイスそのものであり、その他の装置は磁気記憶装置のインターフェイスに似たものである。いずれにしても、磁気記憶装置のごとくホスト側のファイル管理下で、ファイルデータと論理アドレスを受け取り記憶する。ホスト側にはファイル管理システムが必要である。

【 0 0 0 4 】

【発明が解決しようとする課題】

フラッシュメモリ内部のメモリセルの読み出し・書き込み・消去に必要な信号を作るための多くの周辺回路が、チップサイズを大きくし、コスト増を招いている。しかしながら、外部から直接メモリセルを制御しようとする、外部配線負荷の増大など多くの問題があった。

【 0 0 0 5 】

本発明の第1の目的は、コスト増を抑制できる不揮発性半導体記憶装置および



不揮発性半導体メモリシステムを提供することにある。

【0006】

また、従来のフラッシュメモリ記憶装置では、ホスト側のファイル管理の下で制御されるため性能が落ちる。例えば、ホスト側のファイル管理の最小単位より、フラッシュメモリの最小書替え単位が大きいと、1つのファイルデータを書き換える際、フラッシュメモリ内部では書き換えが必要でないファイルデータまで巻き添え書き換えする必要がある。しかしながら、ファイル管理をフラッシュメモリシステム側で行なうとすると、インターフェイスをどうするかという問題が生じる。

【0007】

本発明の第2の目的は、多くのコンピュータシステムと親和性の高いインターフェイスを有するファイル管理システムを備えた不揮発性半導体記憶装置を提供することにある。

【0008】

【課題を解決するための手段】

本願第1の発明では、上記第1の目的を達成するために、以下のような構成を採用している。

【0009】

即ち、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続される複数の転送ゲートトランジスタと、が形成される第1の半導体基板と、前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板と、を備える。

【0010】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0011】

(1) 前記第1の半導体基板と前記第2の半導体基板が積層される。

【 0 0 1 2 】

(2) 少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板が積層される。

【 0 0 1 3 】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続される複数の転送ゲートトランジスタと、が形成される第1の半導体基板と、その出力信号が出力端子に接続される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板と、を備え、前記第1の半導体基板は第1のパッケージに封止され、前記入力端子は前記第1のパッケージの端子に接続され、前記第2の半導体基板は第2のパッケージに封止され、前記出力端子は前記第2のパッケージの端子に接続され、前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線で互いに接続される。

【 0 0 1 4 】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【 0 0 1 5 】

(1) 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージが積層される。

【 0 0 1 6 】

(2) 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージに封止される。

【 0 0 1 7 】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続

される複数の転送ゲートトランジスタと、が形成される第1の半導体基板と、その出力信号が出力端子に接続される前記ワード線を制御するためのワード線制御回路と、インターフェイス回路が形成される第2の半導体基板と、を備え、前記第1の半導体基板は第1のパッケージに封止され、前記入力端子は前記第1のパッケージの端子に接続され、前記第2の半導体基板は第2のパッケージに封止され、前記出力端子は前記第2のパッケージの端子に接続され、前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線で互いに接続され、前記第2のパッケージの積層面の裏面に前記インターフェイス回路に接続されるインターフェイス端子が設けられる。

【0018】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0019】

(1) 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージが積層される。

【0020】

(2) 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージに封止され、前記第3のパッケージには前記インターフェイス端子から引き出された引き出し端子が設けられる。

【0021】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記複数のビット線を制御するための第1のシフトレジスタと、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続される複数の転送ゲートトランジスタと、前記複数の転送ゲートトランジスタのゲートを制御するための第2のシフトレジスタと、が形成される第1の半導体基板と、前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第2の半導体基板と、を備える。

【 0 0 2 2 】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【 0 0 2 3 】

(1) 前記第 1 の半導体基板と前記第 2 の半導体基板が積層される。

【 0 0 2 4 】

(2) 少なくとも 2 つ以上の前記第 1 の半導体基板と前記第 2 の半導体基板が積層される。

【 0 0 2 5 】

(3) さらに前記メモリセルアレイ中の欠陥セルのアドレスを記憶するための記憶回路を前記第 2 の半導体基板上に備える。

【 0 0 2 6 】

また、本願第 2 の発明では、上記第 2 の目的を達成するために、以下のような構成を採用している。

【 0 0 2 7 】

即ち、本発明における不揮発性半導体記憶装置及びシステムは、パッケージに封止された、ネットワークプロトコルに対応したインターフェイス回路と、不揮発性半導体メモリセルアレイと、前記不揮発性半導体メモリセルアレイを制御するための制御回路と、データファイルと前記メモリセルアレイのアドレスの関係を管理するファイル管理エンジンと、を備える。

【 0 0 2 8 】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【 0 0 2 9 】

(1) 前記インターフェイス回路は TCP/IP に対応している。

【 0 0 3 0 】

(2) 前記インターフェイス回路は ftp (file transfer protocol) 接続可能である。

【 0 0 3 1 】

(3) 前記インターフェイス回路は anonymous ftp (file transfer protocol) 接続可能である。

【 0 0 3 2 】

( 4 ) 前記インターフェイス回路はPPP(Point to Point Protocol)接続可能である。

【 0 0 3 3 】

【発明の実施の形態】

以下、本発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 3 4 】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態に係わる不揮発性半導体記憶装置のパッケージ外観図である。

【 0 0 3 5 】

図 1 に示すように、パッケージ 1 の表面に信号端子 2 が設けられている。

【 0 0 3 6 】

図 2 は、図 1 に示されるパッケージ 1 の内部を示す図である。

【 0 0 3 7 】

図 2 に示すように、パッケージ 1 の内部には、半導体基板を封止したパッケージ 4 と、8 枚のパッケージ 5 がある。パッケージ 4、5-0、5-1、…、5-7 は互いに積層され、積層側面にはそれぞれのパッケージに設けられる端子を互いに接続するために配線 6 が設けられる。

【 0 0 3 8 】

パッケージ 4 の積層面の裏面には、さらに別の端子 3 が設けられ、パッケージ 1 に設けられた信号端子 2 へ接続される。

【 0 0 3 9 】

図 3 は、図 1 に示されるパッケージ内部のチップ積層構造を示す図である。

【 0 0 4 0 】

図 3 に示すように、パッケージ 4、5-0、5-1、…、5-7 それぞれの側面には、端子 7 が設けられ、それぞれの端子 7 は、配線 6 で互いに接続されている。

【 0 0 4 1 】

図 4 は、図 2、図 3 に示されるパッケージ 4 の内部を示す図である。

【 0 0 4 2 】

図 4 に示すように、パッケージ 4 の内部には、半導体基板 9 が封止されている。半導体基板 9 の表面には端子 8 が設けられ、端子 3 や端子 7 に接続される。

【 0 0 4 3 】

図 5 は、図 4 に示される端子 8 と端子 3 との接続構成の一例を示す図である。

【 0 0 4 4 】

図 5 に示すように、半導体基板 9 の表面に設けられた端子 8 は、パッケージ 4 の積層面の裏面に形成された端子 3 に、このパッケージ 4 に空けられた穴に流し込まれた配線材 1 0 により接続されている。

【 0 0 4 5 】

図 6 は、図 4 に示される端子 8 と端子 7 との接続構成の一例を示す図である。

【 0 0 4 6 】

図 6 に示すように、半導体基板 9 の表面に設けられた端子 8 は、パッケージ 4 の側面に形成された端子 7 に、ボンディングワイヤ 1 1 により接続されている。

【 0 0 4 7 】

図 7 は、図 2、図 3 に示されるパッケージ 5 の内部を示す図である。

【 0 0 4 8 】

図 7 に示すように、パッケージ 5 の内部には、半導体基板 1 2 が封止されている。半導体基板 1 2 の表面には端子 8 が設けられ、端子 7 に、図 6 に示されるような接続構成により接続される。半導体基板 1 2 の上には、後程説明するように不揮発性半導体メモリセルアレイが形成される。

【 0 0 4 9 】

図 8 は、パッケージ 4 内部の半導体基板 9 上に形成される回路を示す構成図である。

【 0 0 5 0 】

図 8 に示すように、端子 3 に接続される端子 8 として、OP、RB、REn、CEn、Vcc、Vss、CLEn、ALEn、WEn、WPn、I00～I07端子がある。

【 0 0 5 1 】

Vccは電源端子であり、Vssは接地端子である。

【 0 0 5 2 】

入出力端子I00～I07は、データ入出力バッファ 1 3 に接続され、書きこみ・読み出しデータの入出力やコマンドデータ、アドレスデータの入力を行なうための端子である。

【 0 0 5 3 】

OP、RB、REn、CEn、CLeN、ALeN、WEEn、WPn端子は、制御入出力バッファ 1 4 に接続され、制御信号OP、RB、REn、CEn、CLeN、ALeN、WEEn、WPnを入力するための端子である。

【 0 0 5 4 】

端子 3 の信号は、例えばNANDフラッシュメモリTC58V32AFT(東芝製)などに見られる端子のような働きをする。

【 0 0 5 5 】

ステート・マシーン 1 5 は、外部から入力された制御信号やコマンドやアドレスに従って、パッケージ 5 を制御するための基本的な制御信号を発生する回路である。

【 0 0 5 6 】

ステート・マシーン 1 5 により、パッケージ 5 内部のメモリセルアレイをアクセスする時のアドレスを管理するアドレス制御回路 1 6、パッケージ 5 内部のメモリセルアレイのデータの読み出し・書きこみ・消去に必要な電圧を発生する電圧発生回路 1 7、パッケージ 5 を選択するチップ選択回路 1 8、パッケージ 5 内部のメモリセルアレイのメモリブロックを選択するためのブロック選択制御回路 1 9、パッケージ 5 内部のメモリセルアレイに接続されるワード線の制御を行なうワード線制御回路 2 0、パッケージ 5 内部のメモリセルアレイとのデータの入出力を制御するデータ制御回路 2 1、パッケージ 5 内部のメモリセルアレイに接続されるビット線の制御を行なうビット線制御回路 2 2、パッケージ 5 内部のメモリセルアレイに接続されるソース線の制御を行なうソース線制御回路 2 3、パッケージ 5 内部のメモリセルアレイが形成される半導体層（ウェル）の制御を行なうウェル制御回路 2 4、が制御される。

## 【 0 0 5 7 】

端子 7 に接続される端子 8 として、SG1、CG0、CG1、CG2、CG3、SG2、SGB、Vcc、Vss、CE0、CE1、CE2、CE3、CE4、CE5、CE6、CE7、PGM、SEN、CK0、CK1、OUT0、OUT1、IN0、IN1、Well、Vpp、OSC、RB、RA、RB、RST、SRC、OD、EV、BS、PRE、VH 端子がある。

## 【 0 0 5 8 】

ROM100 は、パッケージ 5 内部のメモリセルアレイの欠陥メモリセルのアドレスを記憶している。アドレス制御回路 1 6 は ROM のデータを参照して、欠陥メモリセルを使わないようにする。

## 【 0 0 5 9 】

図 9 は、パッケージ 5 内部の半導体基板 1 2 上に形成される回路を示す構成図である。

## 【 0 0 6 0 】

図 9 に示すように、パッケージ 5 内部の半導体基板 1 2 上には、フラッシュメモリが形成される。そして、端子 7 に接続される端子 8 として、SG1、CG0、CG1、CG2、CG3、SG2、SGB、Vcc、Vss、CE0、CE1、CE2、CE3、CE4、CE5、CE6、CE7、PGM、SEN、CK0、CK1、OUT0、OUT1、IN0、IN1、Well、Vpp、OSC、RB、RA、RB、RST、SRC、OD、EV、BS、PRE、VH 端子があり、同名のパッケージ 4 の端子と配線 6 を介して接続される。

## 【 0 0 6 1 】

メモリセルアレイ 2 5 は、不揮発性半導体メモリセルがマトリクス上に配置され構成されている。メモリセルアレイ 2 5 のメモリブロックを選択するためにブロック選択回路 2 6、選択されたメモリセルとのデータの入出力を制御するデータ回路 2 7、メモリセルアレイ 2 5 に接続されるビット線の電圧を制御するビット線回路 2 8、メモリセルアレイ 2 5 に接続されるソース線を制御するソース線回路 2 9、メモリセルアレイ 2 5 がその上に形成されるウェルを制御するウェル回路 3 0、端子 8 の信号と内部信号の変換を行なう信号変換回路 3 1、が設けられている。

## 【 0 0 6 2 】



図 1 0 は、図 9 に示されるメモリセルアレイ 2 5 の構成の一例を示す図である。

#### 【 0 0 6 3 】

図 1 0 に示すように、メモリセルアレイ 2 5 は、例えば 1 6 のメモリブロック BLOCK0～BLOCK15に分割されている。それぞれのメモリブロック BLOCK $i$  ( $i=0\sim 15$ ) は、4 本のワード線 WL0- $i$ ～WL3- $i$ と、2 本の選択ゲート線 SGD- $i$  及び SGS- $i$  とを備える。

#### 【 0 0 6 4 】

4 つのメモリセル M と 2 つの選択トランジスタ S は、互いに直列に接続され N AND 型のメモリセルユニットを構成する。N AND 型メモリセルユニットの一端はビット線 BL $e$ 0～BL $e$ 7、BL $o$ 0～BL $o$ 7 に接続され、他端は共通にソース線 Source に接続される。ここでは簡単のためにメモリの数を少なくしてあるが、1 ワード線に 4 2 2 4 個以上のメモリセル (528 バイト以上)、1 ブロックあたり 16 本のワード線、メモリセルアレイを 512 ブロック以上のブロックで構成すれば、NAND フラッシュメモリ TC58V32AFT に匹敵するメモリセルアレイとなる。

#### 【 0 0 6 5 】

図 1 1 A、図 1 1 B、及び図 1 1 C はそれぞれ、メモリセル M の構造の一例を示す図である。図 1 1 A はメモリセル M のビット線 BL に沿った断面を示し、図 1 1 B はメモリセル M のワード線 WL に沿った断面を示し、図 1 1 C は選択ゲート線 SG に沿った断面を示している。

#### 【 0 0 6 6 】

図 1 1 A に示すように、メモリセル M の構造を示す図である。p 型の半導体基板 1 2 上に n 型のウェル 3 2 が形成され、さらに内部に p 型のウェル 3 4 が形成される。半導体基板 1 2 の表面部には n 型拡散層 3 5 と p 型拡散層 3 3 が形成される。半導体基板 1 2 とトンネル酸化膜を介してフローティングゲート FG、その上に絶縁膜を介してワード線 WL となる制御ゲートが積層される。ビット線 BL は第 2 メタル材でできており、V1 コンタクトを介して第 1 メタル材 M0 に接続される。さらに CB コンタクトを介してビット線 BL は、NAND メモリユニットの一端である n 型拡散層 3 5 に接続される。

## 【 0 0 6 7 】

また、図 1 1 B、図 1 1 C の断面に示されるように、各メモリセル M は、互いにワード線 WL に沿った方向で素子分離 S T I (shallow trench isoration) により分離されている。

## 【 0 0 6 8 】

図 1 2 ～図 1 6 はそれぞれ、信号変換回路 3 1 の具体的な回路構成の一例を示す図である。

## 【 0 0 6 9 】

まず、図 1 2 に示されるように、端子 CE0 ～CE7 のうち、1 つがインバータ I0 に入力され CEns として出力される。CEns は、さらにインバータ I1 を介して CEs として出力される。なお、図 1 2 は、CE0 に着目して示している。パッケージ 5 は、8 つあるので、それぞれのパッケージ内で互いに重複することなく端子 CE0 ～CE7 のうち 1 つがインバータ I0 に入力され、CEns として出力される。チップ選択信号 CE0 ～CE7 によって、パッケージ 5 -0 からパッケージ 5 -7 のうち、一つが選択される。

## 【 0 0 7 0 】

図 1 3 に示される信号 CK0 と CK1 は、チップ選択信号 CEs が "H" のとき有効となり、CK0s、CK0sn、CK1s、CK1sn に変換される。

## 【 0 0 7 1 】

図 1 4 に示されるように、信号 RST、RA、RB、OSC、SEN、IN0、IN1 は、チップ選択信号 CEs が "H" のとき有効となり、RSTs、RAs、RBs、OSCs、SEns、IN0s、IN1s に変換される。

## 【 0 0 7 2 】

図 1 5 に示される信号 OD、EV、PRE、PGM は、チップ選択信号 CEs が "H" のとき有効となり、電圧振幅が VH の ODs、EVs、PREs、PGMs に変換される。

## 【 0 0 7 3 】

図 1 6 に示される内部信号 OUT0s と OUT1s は、チップ選択信号 CEs が "H" のとき OUT0 端子、OUT1 端子から信号 OUT0 と OUT1 として出力される。

## 【 0 0 7 4 】

図 1 7 は、ブロック選択回路 2 6 の具体的な回路構成の一例を示す図である。  
この図 1 7 に示す回路は、各ブロック毎に設けられている。

## 【 0 0 7 5 】

図 1 7 に示すように、BLOCK $i$ のワード線WL0- $i$ ～WL3- $i$ 、選択ゲート線SGD- $i$ 、及びSGS- $i$ はそれぞれ、 $n$ タイプMOS(NMOS)トランジスタQn17、Qn16、Qn15、Qn14、Qn12、Qn18を介して、端子CG0、CG1、CG2、CG3、SG1、SG2と繋がる。

## 【 0 0 7 6 】

また、選択ゲート線SGD- $i$ 及びSGS- $i$ はそれぞれ、Qn13とQn19を介して、端子SGBと繋がる。選択されたブロックでは、ノードTransferGがVpp程度の電圧となり、ワード線と選択ゲート線とがパッケージ 4 からの信号CG0、CG1、CG2、CG3、SG1、SG2で制御される。非選択のブロックでは、TransferGが接地され、ワード線はフローティング状態となり、選択ゲート線はSGBで制御される。

## 【 0 0 7 7 】

ブロックの選択は信号RA- $j$ とRB- $k$ で行なう。RA- $j$ とRB- $k$ がともに“H”の時、そのブロックは選択される。信号OSCsはパッケージ 4 で発生させられた発信信号OSCと同期し、NMOSトランジスタQn8、Qn9、Qn10とディプリーションタイプNMOSトランジスタQd0で構成されるポンプ回路を駆動する。これにより、VppがTransferGに転送される。各ブロックと信号RA- $j$ /RB- $k$ の対応関係を表 1 に示す。

## 【 0 0 7 8 】

【表 1】

表 1

|         |      |      |
|---------|------|------|
| BLOCK 0 | RA-0 | RB-0 |
| BLOCK 1 | RA-1 | RB-0 |
| BLOCK 2 | RA-2 | RB-0 |
| BLOCK 3 | RA-3 | RB-0 |
| BLOCK 4 | RA-0 | RB-1 |
| BLOCK 5 | RA-1 | RB-1 |
| BLOCK 6 | RA-2 | RB-1 |
| BLOCK 7 | RA-3 | RB-1 |
| BLOCK 8 | RA-0 | RB-2 |
| BLOCK 9 | RA-1 | RB-2 |
| BLOCK10 | RA-2 | RB-2 |
| BLOCK11 | RA-3 | RB-2 |
| BLOCK12 | RA-0 | RB-3 |
| BLOCK13 | RA-1 | RB-3 |
| BLOCK14 | RA-2 | RB-3 |
| BLOCK15 | RA-3 | RB-3 |

【0 0 7 9】

BLOCK*i*が選択された時の各電圧を表 2 に示す。

【0 0 8 0】

【表 2】

表 2

|                      | 消 去  | 書きこみ      | 読み出し      | 書きこみ<br>ベリファイ |
|----------------------|------|-----------|-----------|---------------|
| SGS-i                | Vera | 0V        | Vread     | Vread         |
| WL0-i                | 0V   | Vpass     | Vread     | Vread         |
| WL1-i                | 0V   | Vpgm      | Vcgr      | Vcgv          |
| WL2-i                | 0V   | Vpass     | Vread     | Vread         |
| WL3-i                | 0V   | Vpass     | Vread     | Vread         |
| SGD-i                | Vera | Vcc       | Vread     | Vread         |
| SGS-x (x≠i)          | Vera | 0V        | 0V        | 0V            |
| WL0-x (x≠i)          | Vera | 0V        | 0V        | 0V            |
| WL1-x (x≠i)          | Vera | 0V        | 0V        | 0V            |
| WL2-x (x≠i)          | Vera | 0V        | 0V        | 0V            |
| WL3-x (x≠i)          | Vera | 0V        | 0V        | 0V            |
| SGD-x (x≠i)          | Vera | 0V        | 0V        | 0V            |
| SGB                  | Vcc  | 0V        | 0V        | 0V            |
| SG2                  | Vcc  | 0V        | Vread     | Vread         |
| CG0                  | 0V   | Vpass     | Vread     | Vread         |
| CG1                  | 0V   | Vpgm      | 0V        | 0.5V          |
| CG2                  | 0V   | Vpass     | Vread     | Vread         |
| CG3                  | 0V   | Vpass     | Vread     | Vread         |
| SG1                  | Vcc  | Vcc       | Vread     | Vread         |
| 選択時 BL<br>(データ "0" ) | -    | 0V        | Vcc       | Vcc           |
| 選択時 BL<br>(データ "1" ) | -    | Vcc       | 0V        | 0V            |
| 非選択時 BL              | Vera | Vcc       | 0V        | 0V            |
| BS                   | Vcc  | Vcc       | 0V        | 0V            |
| Source               | Vera | 0V        | 0V        | 0V            |
| SRC                  | Vera | 0V        | 0V        | 0V            |
| CPWELL               | Vera | 0V        | 0V        | 0V            |
| Well                 | Vera | 0V        | 0V        | 0V            |
| Vpp                  | Vcc  | Vpgm      | Vread     | Vread         |
| OSCs                 | Vcc  | 0V/Vcc 発振 | 0V/Vcc 発振 | 0V/Vcc 発振     |

【0081】

表 2 には、書き込み・読み出しではワード線 WL1-i が選択されている例が示されている。

【0082】

電源電圧 $V_{cc}$ は典型的に3V、消去電圧 $V_{era}$ は典型的に20V、書き込み電圧 $V_{pgm}$ は典型的に18V、書き込み補助電圧 $V_{pass}$ は典型的に10V、読み出し補助電圧 $V_{read}$ は典型的に3.5Vである。読み出し電圧 $V_{cgr}$ は典型的に0V、ベリファイ電圧 $V_{cgv}$ は典型的に0.5Vである。多値化も読み出し電圧とベリファイ電圧を複数用意することで容易に可能である。

## 【 0 0 8 3 】

図 1 8 は、ブロック選択回路内のシフトレジスタ回路の一部を示す図で、特に信号 $RA-i$ 、 $RB-k$ を発生するシフトレジスタ回路の一部を示している。

## 【 0 0 8 4 】

図 1 8 に示すように、リセット信号 $RSTs$ が“H”となると、シフトレジスタ $SR-ad$ はリセットされる。クロック信号 $CK0s$ が“H”のとき、入力信号 $IN$ を受け取り、 $CK0s$ がLでその入力信号をラッチする。

## 【 0 0 8 5 】

図 1 9 は、ブロック選択回路内のシフトレジスタ回路の全体を示す図で、特に信号 $RA-i$ 、 $RB-k$ を発生するシフトレジスタ回路の全体を示している。

## 【 0 0 8 6 】

図 1 9 に示す回路は、図 1 7 に示される回路に隣接して設けられ、図 1 7 と共にブロック選択回路 2 6 を構成する。

## 【 0 0 8 7 】

図 1 9 に示す回路により、クロック信号 $CK0s$ に同期させてアドレスデータ信号 $RAs$ と $RBs$ を入力することで、所望の信号 $RA-i$ 、 $RB-k$ を発生させることができる。これにより、任意のブロックを選択できる。

## 【 0 0 8 8 】

図 2 0 は、データ回路 2 7 の一部であるシフトレジスタ回路の構成を示す図である。

## 【 0 0 8 9 】

図 2 0 に示すように、リセット信号 $RSTs$ が“H”となると、シフトレジスタ $SR-da$ はリセットされる。クロック信号 $CK1s$ が“H”のとき、入力信号 $IN$ を受け取り、 $CK1s$ が“L”で、その入力信号をラッチする。ノード $PBL$ はビット線 $BL$ へ接続される

。書き込み信号PGMsが”H”で、インバータI23とI24で構成されるラッチ回路とビット線とが繋がり、書き込みができる。読み出し・書き込みベリファイ時にビット線に現れるメモリセルのデータを示す電圧は、センス信号SEnSsが”H”でセンスされ、インバータI23とI24で構成されるラッチ回路にラッチされる。

## 【 0 0 9 0 】

図 2 1 は、データ回路 2 7、ビット線回路 2 8、及びビット線BLの構成を示す図である。

## 【 0 0 9 1 】

図 2 1 に示す回路では、クロック信号CK1sに同期させて書き込みデータ信号IN0sとIN1sを入力することで、所望の書き込みデータをセットすることができる。また、クロック信号CK1sに同期させて読み出しデータ信号OUT0sとOUT1sを出力することができる。

## 【 0 0 9 2 】

ビット線選択信号EVsとODsで2本のビット線BLeとBLoのうちどちらかを選択する。EVsが”H”でODsが”L”ならBLeが、EVsが”L”でODsが”H”ならBLoが選択される。選択されないビット線は、ビット線回路 2 8 によりプリチャージ信号PREsが”H”のときBS端子に接続される。

## 【 0 0 9 3 】

また、ビット線回路 2 8 を使って、選択するビット線の電位を予め設定できる。EVsが”H”でODsが”L”ならBLoを、EVsが”L”でODsが”H”ならBLeを、プリチャージ信号PREsを”H”としてBSに接続し、その後EVsとODsを共に”L”とすれば選択するビット線はBSと同電位にプリチャージされる。この後、ワード線に電位を与えることでメモリセルのデータを読むことができる。

## 【 0 0 9 4 】

BLOCKiが選択された時の各電圧は上記表 2 に示されている。この表 2 には、上述した通り、書き込み・読み出しではワード線WL1-iが選択されている例が示されている。

## 【 0 0 9 5 】

図 2 2 は、信号変換回路 3 1 の他の回路例を示す図である。

## 【 0 0 9 6 】

図 2 2 に示すように、端子 8 には、ダイオード D0 と抵抗 R0 で構成される入力保護を入れる方がより望ましい。ここでは、チップ選択信号 CE0 の例を示している。

## 【 0 0 9 7 】

図 2 3 は、ソース線回路 2 9 及びウェル回路 3 0 の構成の一例を示す図である。

## 【 0 0 9 8 】

図 2 3 に示す例では、ソース線回路 2 9 とウェル回路 3 0 とは、一部の回路を互いに共有している。

## 【 0 0 9 9 】

図 2 3 に示すように、信号 OSCs は、パッケージ 4 で発生させられた発信信号 OSC と同期し、NMOS トランジスタ Qn30、Qn31、Qn32 とディプリーションタイプ NMOS トランジスタ Qd1 で構成されるポンプ回路を駆動する。チップ選択信号 CESn が L になることにより、端子 Well とメモリセルが形成される p 型のウェル 3 4 が繋がる。さらに、端子 SRC とメモリセルアレイのソース線 Source が繋がる。

## 【 0 1 0 0 】

BLOCKi が選択された時の各電圧は上記表 2 に示されている。この表 2 には、上述した通り、書き込み・読み出しではワード線 WL1-i が選択されている例が示されている。

## 【 0 1 0 1 】

即ち、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセル (M) から構成されるメモリセルアレイ (2 5) と、前記メモリセルアレイに接続される複数のビット線 (BL) と、前記メモリセルアレイに接続される複数のワード線 (WL) と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子 (8) に接続される複数の転送ゲートトランジスタ (Qn14~17) と、が形成される第 1 の半導体基板 (1 2) と、前記入力端子に接続される出力端子 (8) にその出力信号が出力される前記ワード線を制御するためのワード線制御回路 (2 0) が形成される第 2 の半導体基板 (9) と、を



備える。

【0102】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0103】

(1) 前記第1の半導体基板と前記第2の半導体基板が積層される。

【0104】

(2) 少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板が積層される。

【0105】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセル(M)から構成されるメモリセルアレイ(25)と、前記メモリセルアレイに接続される複数のビット線(BL)と、前記メモリセルアレイに接続される複数のワード線(WL)と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子(8)に接続される複数の転送ゲートトランジスタ(Qn14~17)と、が形成される第1の半導体基板(12)と、その出力信号が出力端子(8)に接続される前記ワード線を制御するためのワード線制御回路(20)が形成される第2の半導体基板(12)と、を備え、前記第1の半導体基板は第1のパッケージ(5)に封止され、前記入力端子は前記第1のパッケージの端子(7)に接続され、前記第2の半導体基板は第2のパッケージ(4)に封止され、前記出力端子は前記第2のパッケージの端子(7)に接続され、前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線(6)で互いに接続される。

【0106】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0107】

(1) 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージが積層される。

【0108】

(2) 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージ(1)に封止される。

## 【0109】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセル(M)から構成されるメモリセルアレイ(25)と、前記メモリセルアレイに接続される複数のビット線(BL)と、前記メモリセルアレイに接続される複数のワード線(WL)と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子(8)に接続される複数の転送ゲートトランジスタ(Qn14~17)と、が形成される第1の半導体基板(12)と、その出力信号が出力端子(8)に接続される前記ワード線を制御するためのワード線制御回路(20)と、インターフェイス回路(37)が形成される第2の半導体基板(12)と、を備え、前記第1の半導体基板は第1のパッケージ(5)に封止され、前記入力端子は前記第1のパッケージの端子(7)に接続され、前記第2の半導体基板は第2のパッケージ(4)に封止され、前記出力端子は前記第2のパッケージの端子(7)に接続され、前記第1のパッケージと前記第2のパッケージが積層され、前記第1のパッケージの端子と前記第2のパッケージの端子が積層側面に設けられた配線(6)で互いに接続され、前記第2のパッケージの積層面の裏面に前記インターフェイス回路に接続されるインターフェイス端子(3)が設けられる。

## 【0110】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

## 【0111】

(1) 少なくとも2つ以上の前記第1のパッケージと前記第2のパッケージが積層される。

## 【0112】

(2) 積層された前記第1のパッケージおよび前記第2のパッケージおよび前記配線は、さらに第3のパッケージ(1)に封止され、前記第3のパッケージには前記インターフェイス端子から引き出された引き出し端子(2)が設けられる。

## 【0113】

また、本発明における不揮発性半導体記憶装置及びシステムは、複数の不揮発性半導体メモリセル（M）から構成されるメモリセルアレイ（25）と、前記メモリセルアレイに接続される複数のビット線（BL）と、前記複数のビット線を制御するための第1のシフトレジスタ（SR\_data）と、前記メモリセルアレイに接続される複数のワード線（WL）と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子（8）に接続される複数の転送ゲートトランジスタ（Q<sub>n14</sub>～17）と、前記複数の転送ゲートトランジスタのゲートを制御するための第2のシフトレジスタ（SR\_add）と、が形成される第1の半導体基板（12）と、前記入力端子に接続される出力端子（8）にその出力信号が出力される前記ワード線を制御するためのワード線制御回路（20）が形成される第2の半導体基板（9）と、を備える。

【0114】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【0115】

（1）前記第1の半導体基板と前記第2の半導体基板が積層される。

【0116】

（2）少なくとも2つ以上の前記第1の半導体基板と前記第2の半導体基板が積層される。

【0117】

（3）さらに前記メモリセルアレイ中の欠陥セルのアドレスを記憶するための記憶回路（ROM）を前記第2の半導体基板上に備える。

【0118】

以上のようにして、複数のフラッシュメモリチップから多くの制御回路を削減し、その制御回路を複数のフラッシュメモリチップで共有することで、安価なフラッシュメモリシステムが提供できる。図2に示されるようにパッケージングあるいは配線することで、1つのフラッシュメモリデバイスとして使うことができる。

【0119】

図24は、本発明の第1実施形態に係わる不揮発性半導体記憶装置のシステム

を示すシステム図である。

【 0 1 2 0 】

図 2 4 に示すように、1つのパッケージ 4 が配線 6 を介して複数の NAND フラッシュメモリ 5 を制御する。このように制御回路を共有することで、個々の NAND フラッシュメモリ 5 から制御回路を削除することができ、結果小さなチップサイズの NAND フラッシュメモリ 5 を作ることができる。よって、全体として安価なフラッシュメモリシステムが得られるのである。

【 0 1 2 1 】

パッケージ 4 の内部は、大きく 2 つの部分に分けることができる。NAND フラッシュ・インターフェイス 3 7 は、図 8 に示されるデータ入出力バッファ 1 3 と制御信号バッファ 1 4 とステート・マシーン 1 5 をまとめたものである。図 8 に示される残りの部分が NAND フラッシュ制御エンジン 3 6 である。

【 0 1 2 2 】

パッケージ 4 は、端子 3 を介してコンピュータなどのファイル管理システムのもとで制御される。

【 0 1 2 3 】

(第 2 実施形態)

図 2 5 は、本発明の第 2 実施形態に係わる不揮発性半導体記憶装置のシステムを示すシステム図である。

【 0 1 2 4 】

図 2 5 に示すように、パッケージ 4 の内部に、データファイルとメモリセルアレイ 2 5 のアドレスの関係を管理しファイル管理を行なうファイル管理エンジン 3 8 と、外部とのインターフェイスとしてネットワークプロトコルに対応したネットワーク・インターフェイス 3 9 を備えている。パッケージ 4 は端子 3 を介して、直接インターネットなどのネットワークに繋がることになっている。

【 0 1 2 5 】

例えばネットワーク・インターフェイス 3 9 はインターネットで主流の TCP/IP に対応している。また、ftp(file transfer protocol)接続可能である。これにより、本発明に係わる不揮発性半導体記憶装置は、FTP サイトとしてネットワー

クに繋がる。

【 0 1 2 6 】

anonymous ftp(file transfer protocol)接続可能とするとより簡単にネットワークに接続できる。PPP(Point to Point Protocol)接続可能として、本発明に係わる不揮発性半導体記憶装置を電話回線を介してネットワークに繋げるのも便利である。

【 0 1 2 7 】

図 2 6 は、パッケージ 1 に封止された図 2 5 に示される不揮発性半導体記憶装置とネットワークとの関係を示す図である。

【 0 1 2 8 】

図 2 6 に示すように、データサーバー 43-0～43-4 とソフトウェアダウンロードマシン 4 1 は、TCP/IP プロトコルネットワーク 4 2 を介して繋がっている。ソフトウェアダウンロードマシン 4 1 に挿入されたパッケージ 1 に、必要なソフトウェア（例えば音楽ソース）を、FTP を使ってネットワーク 4 2 を介して持ってくる。ソフトウェアダウンロードマシン 4 1 からパッケージ 1 を抜き、携帯音楽プレーヤ 4 0 など音楽などを楽しむことが容易にできる。

【 0 1 2 9 】

図 2 7 は、パッケージ 1 に封止された図 2 5 に示される不揮発性半導体記憶装置とネットワークとの他の関係を示す図である。

【 0 1 3 0 】

図 2 7 に示すように、TCP/IP プロトコルに対応したデータサーバー 46 と電話機 4 4 は電話回線 4 5 を介して繋がっている。電話機 4 4 に挿入されたパッケージ 1 に、必要なソフトウェア（例えば音楽ソース）を、PPP を使ってデータサーバー 4 6 から持ってくる。電話機からパッケージ 1 を抜き、携帯音楽プレーヤ 4 0 など音楽などを楽しむことが容易にできる。

【 0 1 3 1 】

また、パッケージ 1 に電源ユニット（電池など）と入力デバイスを付加することで、単体をネットワークに接続することも可能である。

【 0 1 3 2 】

即ち、本発明における不揮発性半導体記憶装置及びシステムは、パッケージ（１）に封止された、ネットワークプロトコルに対応したインターフェイス回路（３９）と、不揮発性半導体メモリセルアレイ（２５）と、前記不揮発性半導体メモリセルアレイを制御するための制御回路（３６）と、データファイルと前記メモリセルアレイのアドレスの関係を管理するファイル管理エンジン（３８）と、を備える。

【 0 1 3 3 】

さらに、本発明の望ましい実施態様としては次のものがあげられる。

【 0 1 3 4 】

（１）前記インターフェイス回路はTCP/IPに対応している。

【 0 1 3 5 】

（２）前記インターフェイス回路はftp(file transfer protocol)接続可能である。

【 0 1 3 6 】

（３）前記インターフェイス回路はanonymous ftp(file transfer protocol)接続可能である。

【 0 1 3 7 】

（４）前記インターフェイス回路はPPP(Point to Point Protocol)接続可能である。

【 0 1 3 8 】

以上のようにして、多くのコンピュータシステムと親和性の高いインターフェイスを有するファイル管理システムを備えたフラッシュメモリシステムを提供することができる。

【 0 1 3 9 】

以上、この発明を第１、第２の実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【 0 1 4 0 】

また、上記各実施形態は、単独、または適宜組み合わせて実施することも勿論

可能である。

【 0 1 4 1 】

さらに、上記各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【 0 1 4 2 】

【発明の効果】

以上説明したように本発明によれば、複数のフラッシュメモリチップから多くの制御回路が削減され、その制御回路を複数のフラッシュメモリチップで共有することで、安価なフラッシュメモリシステムが提供できる。そして、例えば図 2 に示されるようにパッケージングあるいは配線することで、1つのフラッシュメモリデバイスとして使うことができる。

【 0 1 4 3 】

また、ネットワーク・プロトコルに対応したインターフェイスを持たせることで、多くのコンピュータシステムと親和性の高いインターフェイスを有するファイル管理システムを備えたフラッシュメモリシステムを提供することができる。

【図面の簡単な説明】

【図 1】 図 1 は本発明の第 1 実施形態に係わる不揮発性半導体記憶装置のパッケージ外観図。

【図 2】 図 2 は図 1 に示されるパッケージ 1 の内部を示す図。

【図 3】 図 3 は図 1 に示されるパッケージ 1 内部のチップ積層構造を示す図。

【図 4】 図 4 は図 2、図 3 に示されるパッケージ 4 の内部を示す図。

【図 5】 図 5 は図 4 に示される端子 8 と端子 3 との接続構成の一例を示す図。

【図 6】 図 5 は図 4 に示される端子 8 と端子 7 との接続構成の一例を示す図。

【図 7】 図 7 は図 2、図 3 に示されるパッケージ 5 の内部を示す図。

パッケージ 5 の内部を示す図。

【図 8】 図 8 はパッケージ 4 内部の半導体基板 9 上に形成される回路を示す構成図。

【図 9】 図 9 はパッケージ 5 内部の半導体基板 1 2 上に形成される回路を示す構成図。

【図 1 0】 図 1 0 は図 9 に示されるメモリセルアレイ 2 5 の構成の一例を示す図。

【図 1 1】 図 1 1 A はメモリセル M のビット線 BL に沿った断面を示す断面図、図 1 1 B はメモリセル M のワード線 WL に沿った断面を示す断面図、図 1 1 C は選択ゲート線 SG に沿った断面を示す断面図。

【図 1 2】 図 1 2 は信号変換回路 3 1 の具体的な回路構成の一例を示す図。

【図 1 3】 図 1 3 は信号変換回路 3 1 の具体的な回路構成の一例を示す図。

【図 1 4】 図 1 4 は信号変換回路 3 1 の具体的な回路構成の一例を示す図。

【図 1 5】 図 1 5 は信号変換回路 3 1 の具体的な回路構成の一例を示す図。

【図 1 6】 図 1 6 は信号変換回路 3 1 の具体的な回路構成の一例を示す図。

【図 1 7】 図 1 7 はブロック選択回路 2 6 の具体的な回路構成の一例を示す図。

【図 1 8】 図 1 8 はブロック選択回路内のシフトレジスタ回路の一部を示す図。

【図 1 9】 図 1 9 はブロック選択回路内のシフトレジスタ回路の全体を示す図。

【図 2 0】 図 2 0 はデータ回路 2 7 の一部であるシフトレジスタ回路の構成を示す図。

【図 2 1】 図 2 1 はデータ回路 2 7、ビット線回路 2 8 及びビット線 BL の構成を示す図。



【図 2 2】 図 2 2 は信号変換回路 3 1 の他の回路例を示す図。

【図 2 3】 図 2 3 はソース線回路 2 9 及びウェル回路 3 0 の構成の一例を示す図。

【図 2 4】 図 2 4 は本発明の第 1 実施形態に係わる不揮発性半導体記憶装置のシステムを示すシステム図。

【図 2 5】 図 2 5 は本発明の第 2 実施形態に係わる不揮発性半導体記憶装置のシステムを示すシステム図。

【図 2 6】 図 2 6 はパッケージ 1 に封止された図 2 5 に示される不揮発性半導体記憶装置とネットワークとの関係を示す図。

【図 2 7】 図 2 7 はパッケージ 1 に封止された図 2 5 に示される不揮発性半導体記憶装置とネットワークとの他の関係を示す図。

【符号の説明】

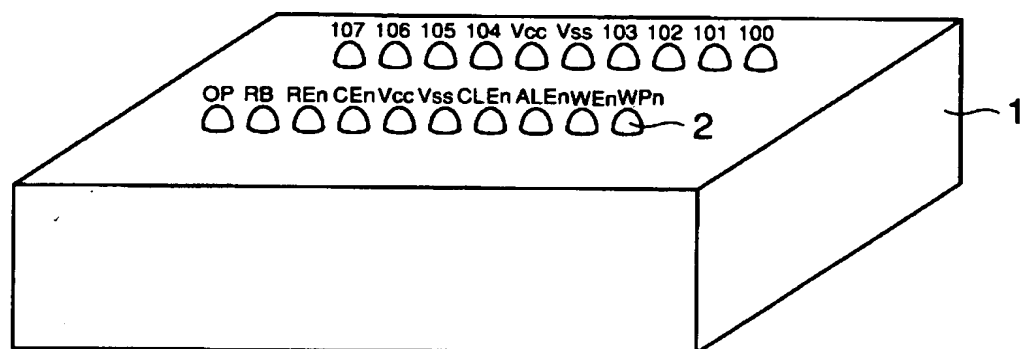
- 1 … パッケージ、
- 2 … 端子、
- 3 … 端子、
- 4 … パッケージ、
- 5 … パッケージ、
- 6 … 配線、
- 7 … 端子、
- 8 … 端子、
- 9 … 半導体基板、
- 1 0 … 配線、
- 1 1 … 配線、
- 1 2 … 半導体基板、
- 1 3 … データ入出力バッファ、
- 1 4 … 制御信号入力バッファ、
- 1 5 … ステートマシン、
- 1 6 … アドレス制御回路、
- 1 7 … 電圧発生回路、

- 1 8 …チップ選択回路、
- 1 9 …ブロック選択制御回路、
- 2 0 …ワード線制御回路、
- 2 1 …データ制御回路、
- 2 2 …ビット線制御回路、
- 2 3 …ソース線制御回路、
- 2 4 …ウェル制御回路、
- 2 5 …メモリセルアレイ、
- 2 6 …ブロック選択回路、
- 2 7 …データ回路、
- 2 8 …ビット線回路、
- 2 9 …ソース線回路、
- 3 0 …ウェル回路、
- 3 1 …信号変換回路、
- 3 2 …n 型ウェル、
- 3 3 …p 型拡散層、
- 3 4 …p 型ウェル、
- 3 5 …n 型拡散層、
- 3 6 …NANDフラッシュ制御エンジン、
- 3 7 …NANDフラッシュ・インターフェイス、
- 3 8 …ファイル管理エンジン、
- 3 9 …ネットワーク・インターフェイス、
- 4 0 …携帯音楽プレーヤー、
- 4 1 …ソフトウェアダウンロードマシン、
- 4 2 …ネットワーク、
- 4 3 …データサーバー、
- 4 4 …電話機、
- 4 5 …電話回線、
- 4 6 …データサーバー、

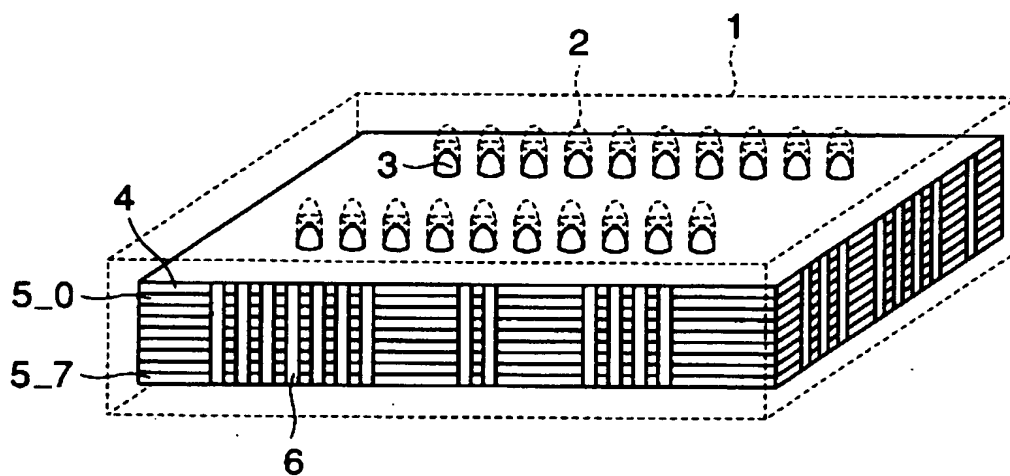
1 0 0 …ROM、  
M…メモリセル、  
S…選択トランジスタ、  
BLOCK…メモリブロック、  
BL…ビット線、  
WL…ワード線、  
SG…選択ゲート線、  
Source…ソース線、  
CPWELL…ウェル線、  
FG…浮遊ゲート、  
STI…素子分離、  
I…インバーター、  
G…NAND論理ゲート、  
Qn…nタイプトランジスタ、  
Qp…pタイプトランジスタ、  
Qd…ディプリーションタイプnタイプトランジスタ、  
Xfer…CMOSトランスファージェート、  
D…ダイオード、  
R…抵抗素子。

【書類名】 図面

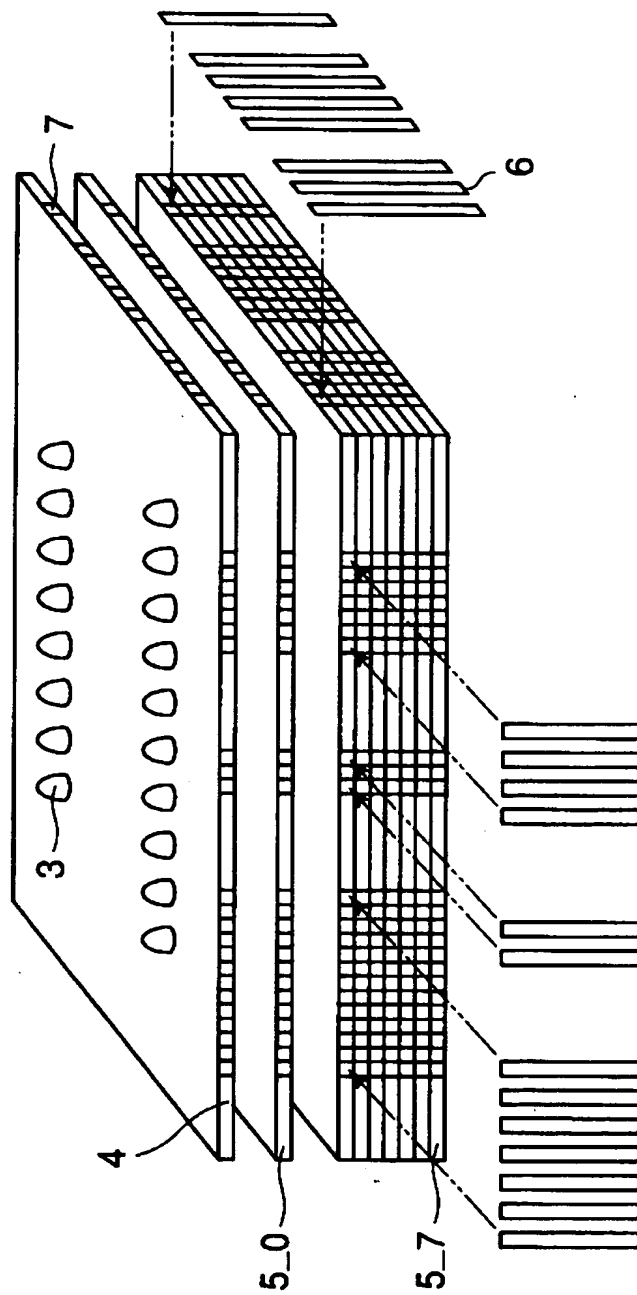
【図 1】



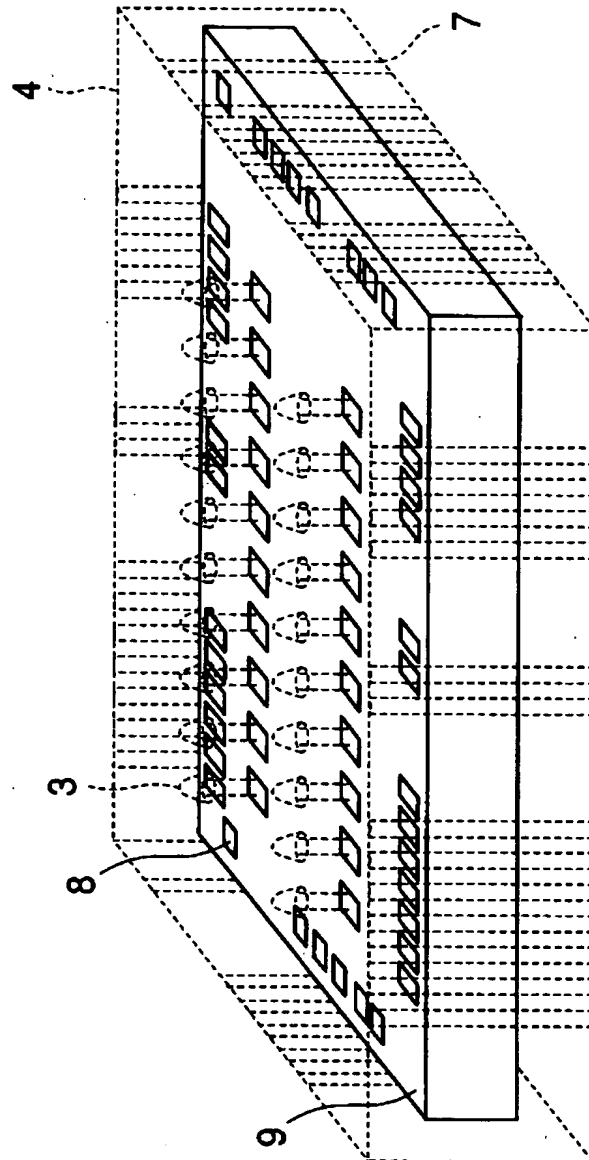
【図 2】



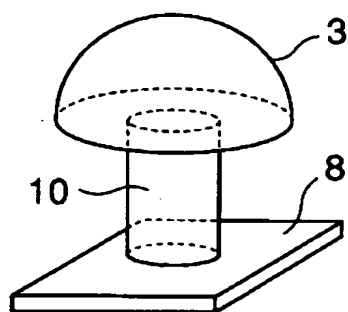
【図3】



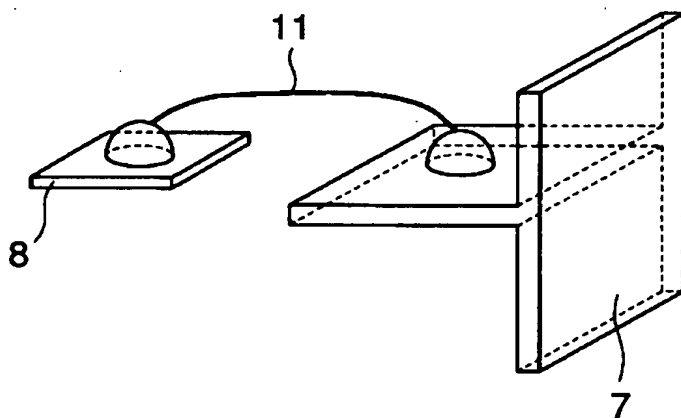
【図 4】



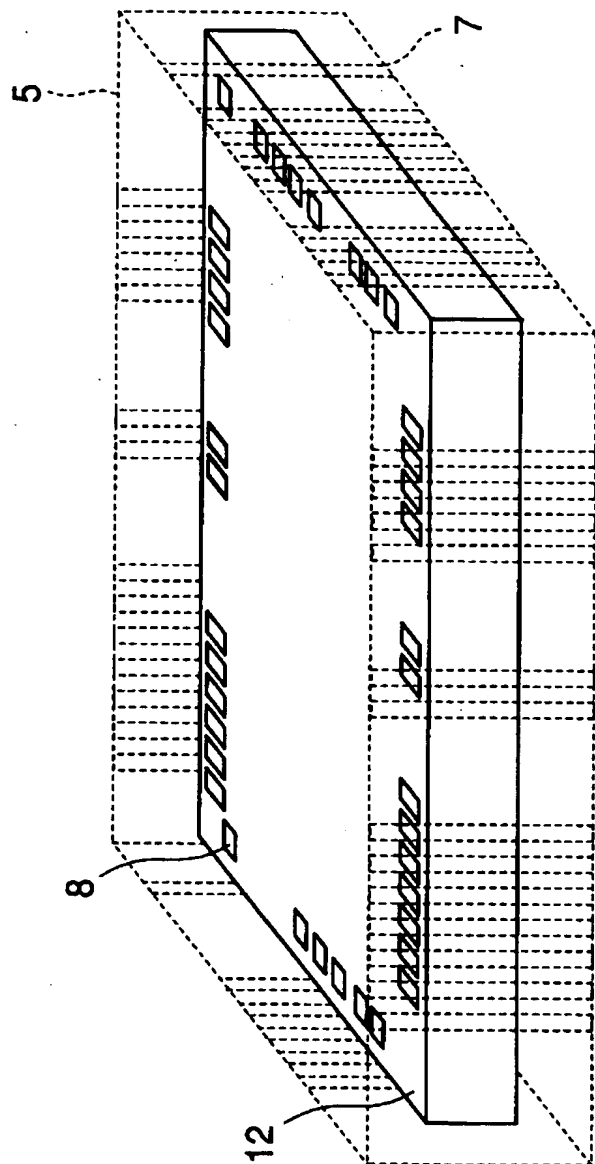
【図 5】



【図 6】

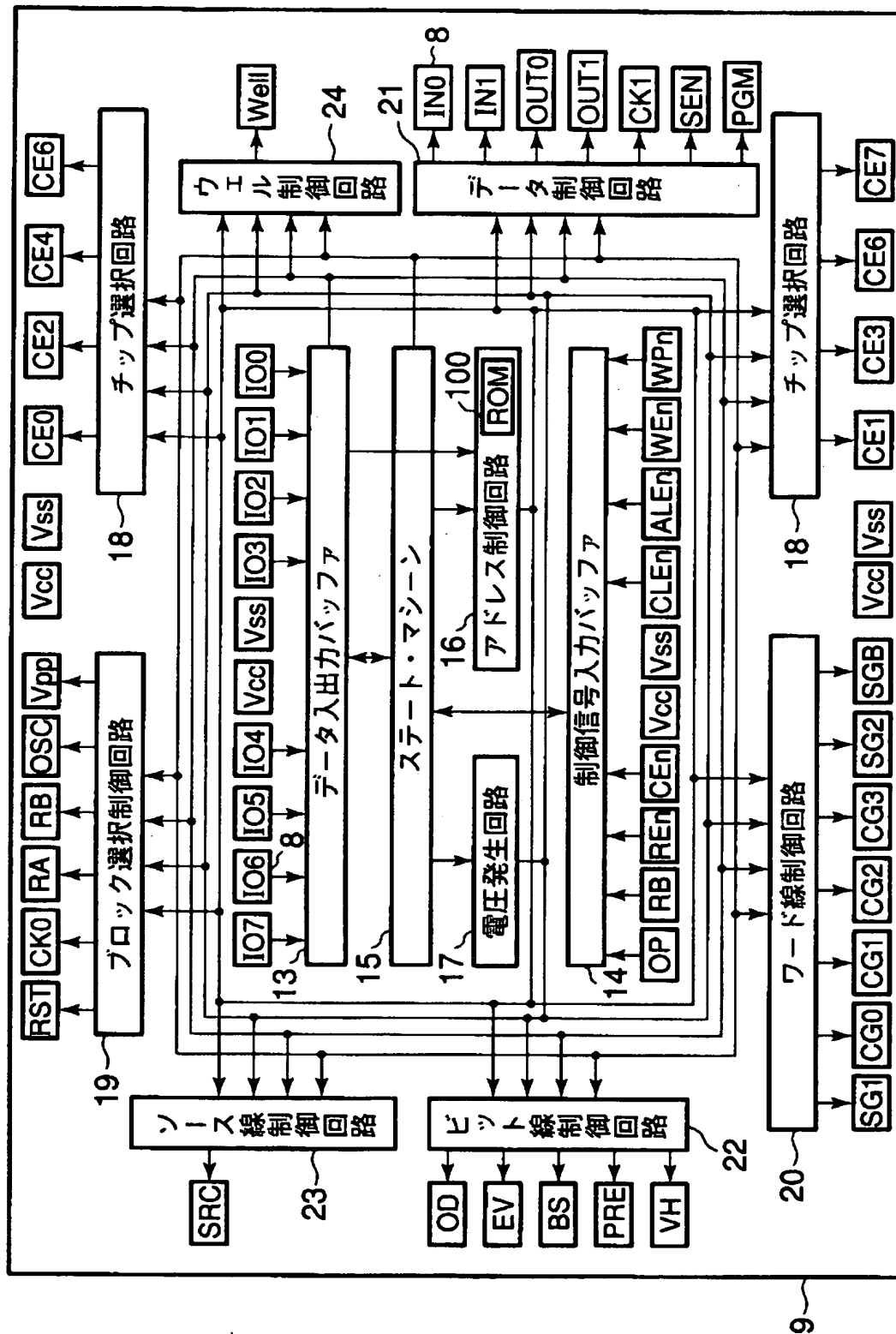


【図 7】

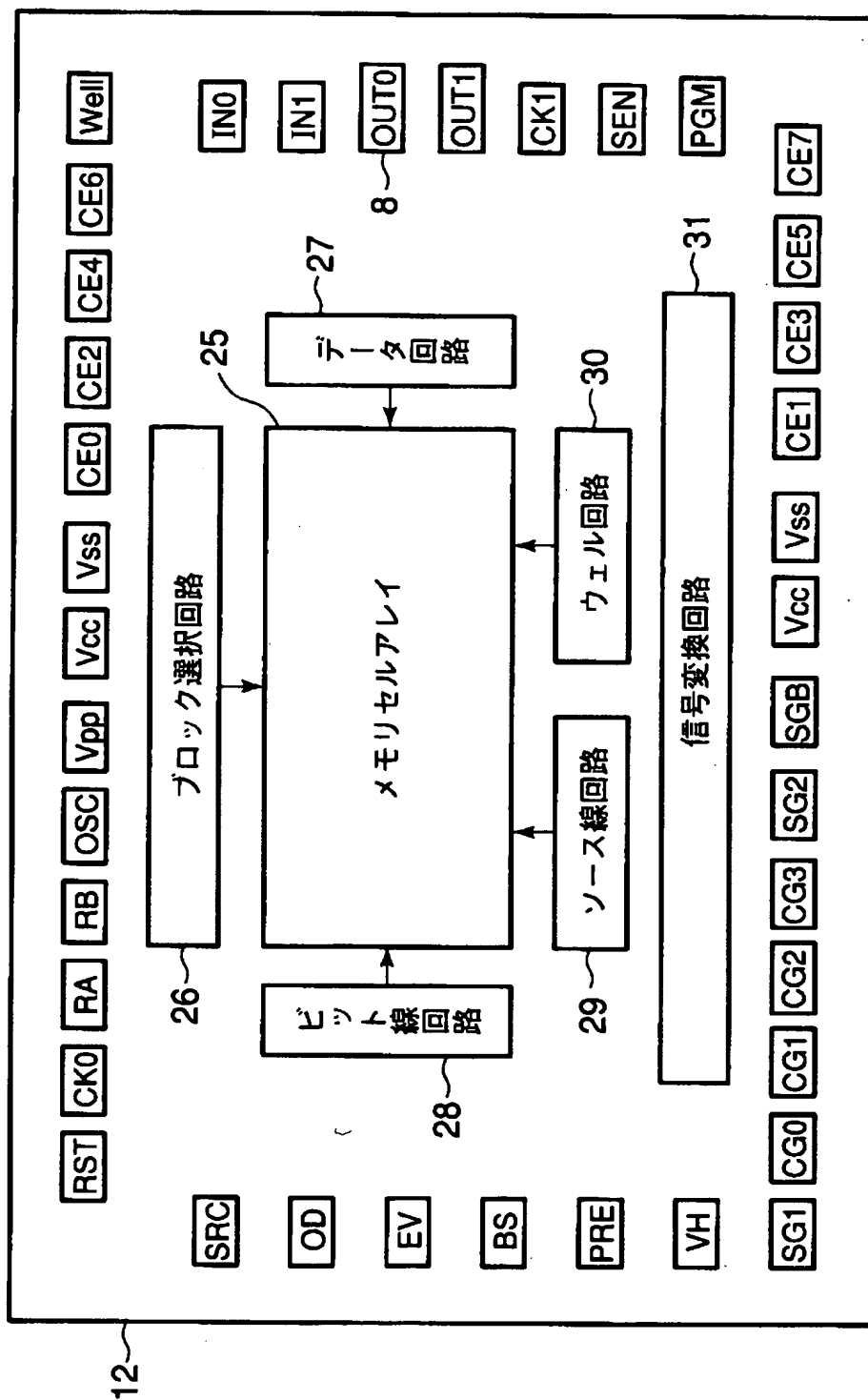




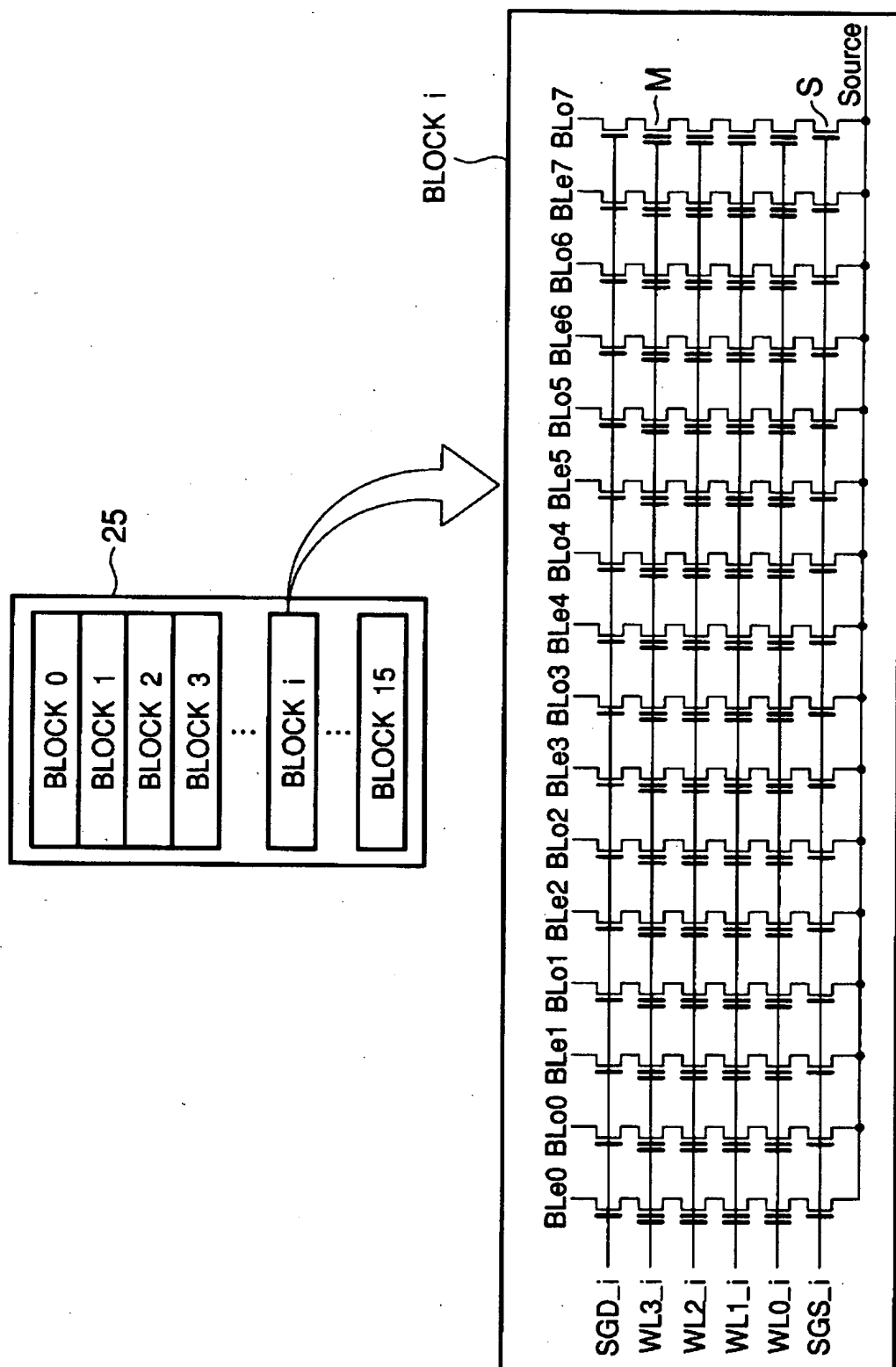
【图 8】



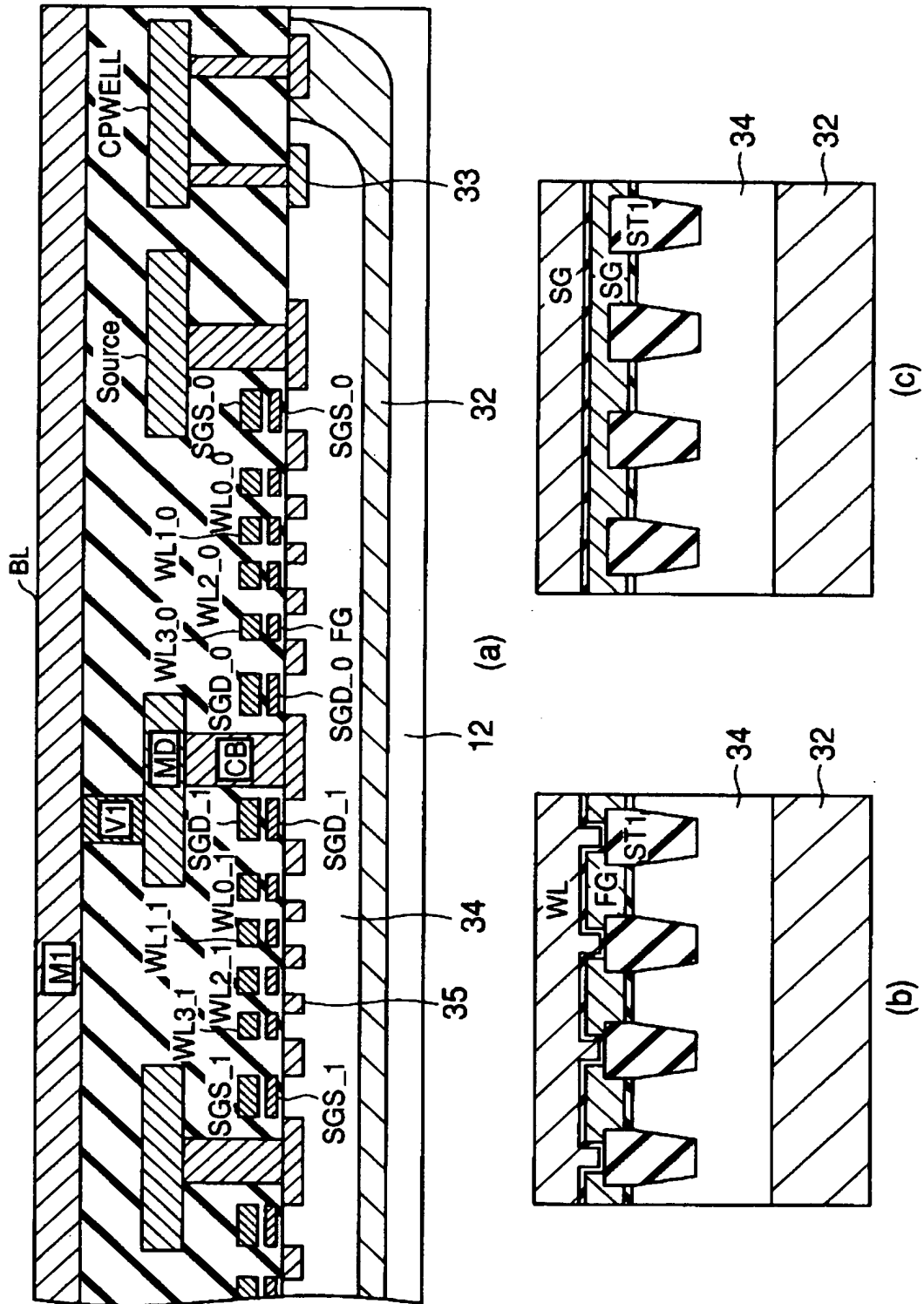
【図 9】



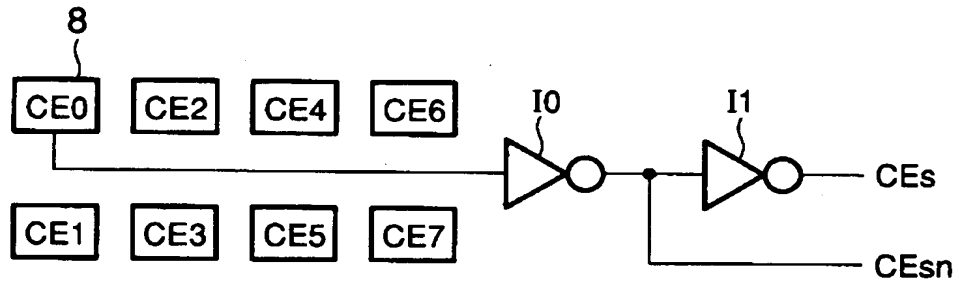
【図 10】



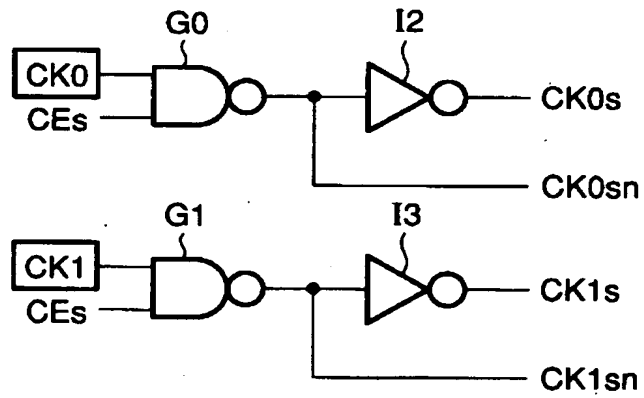
【図 11】



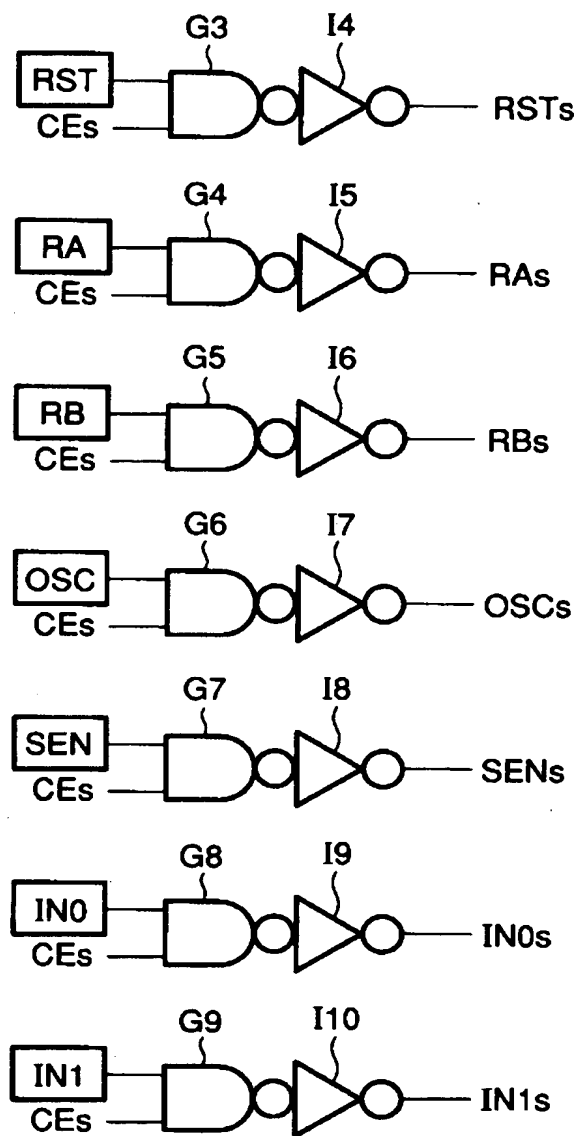
【図 1 2】



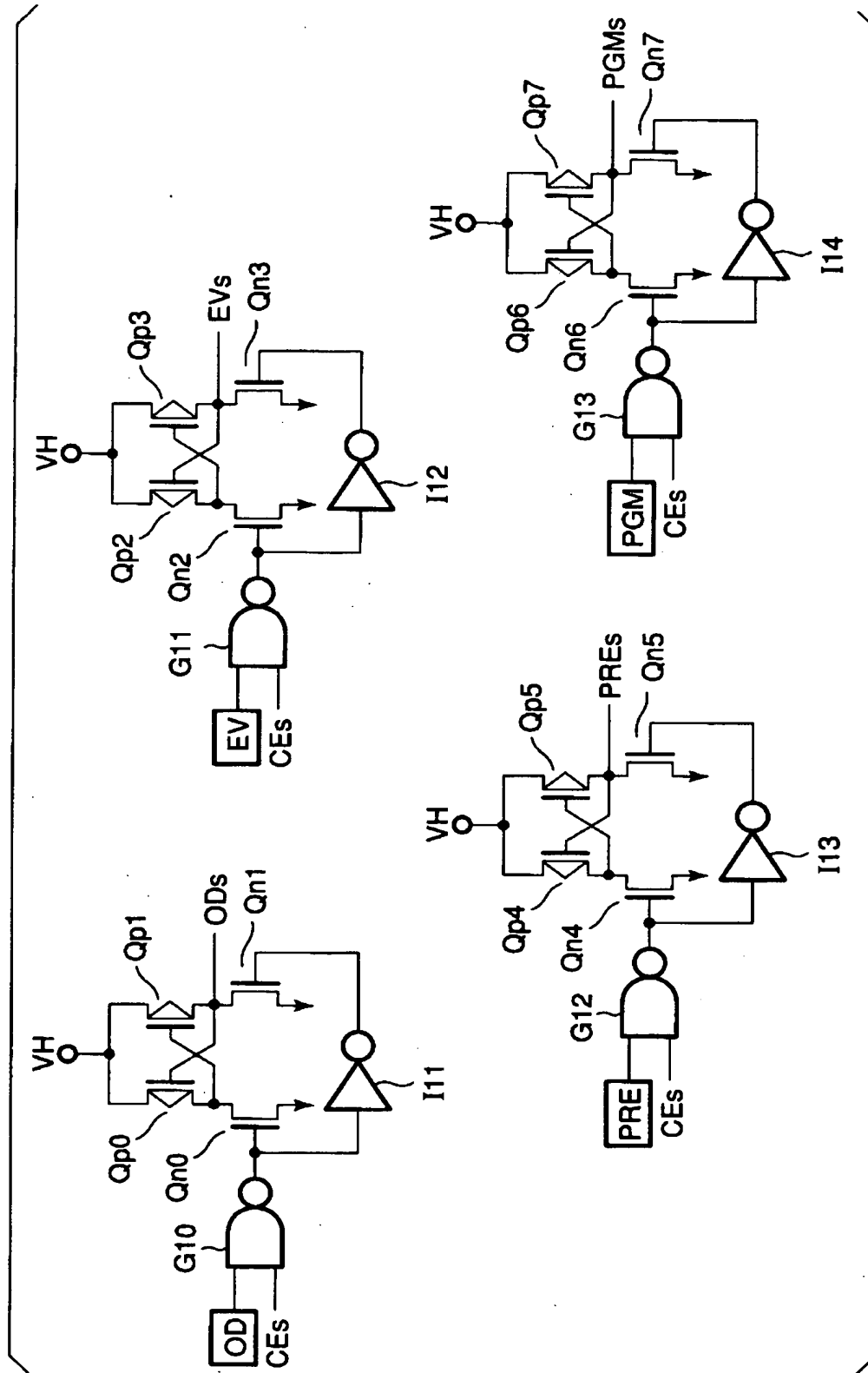
【図 1 3】



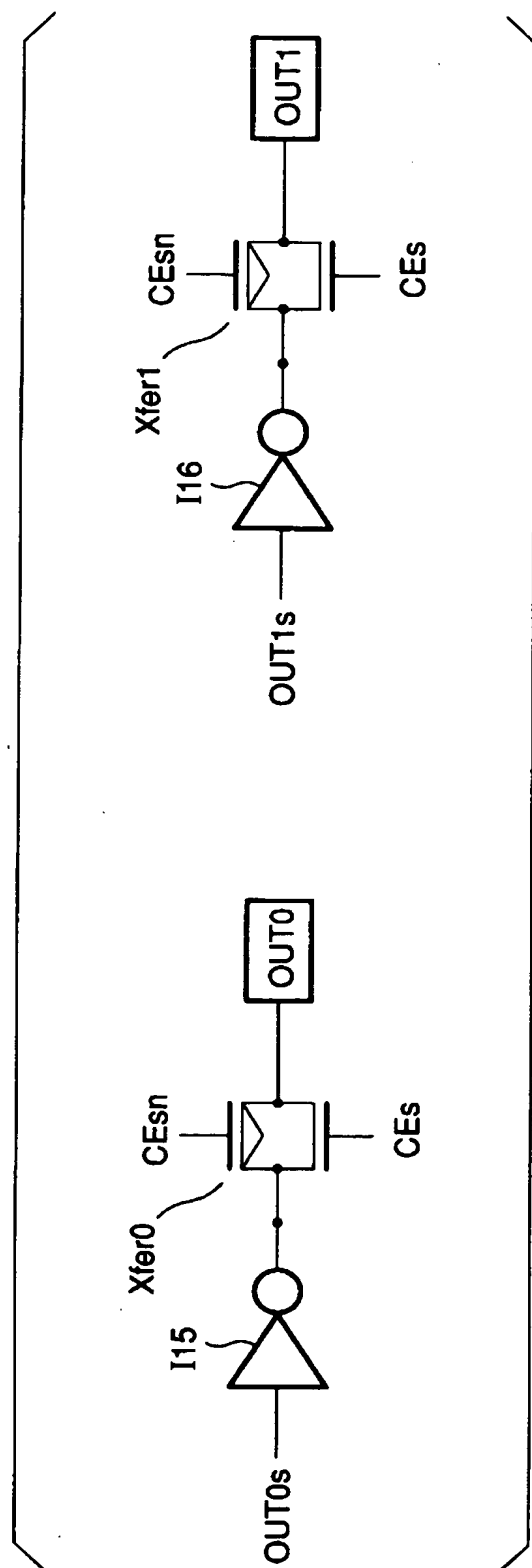
【図 1 4】



【図 15】

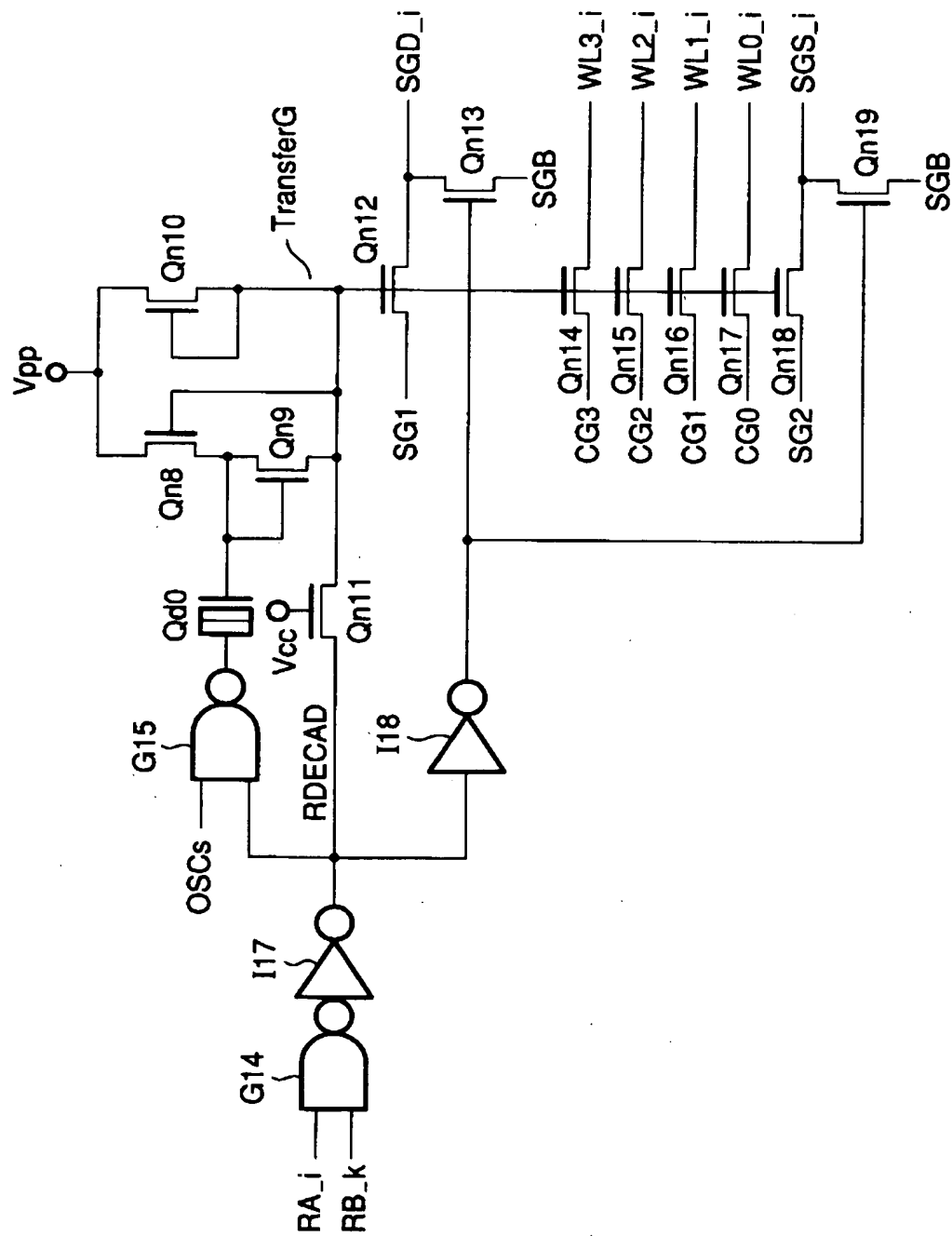


【図 1 6】

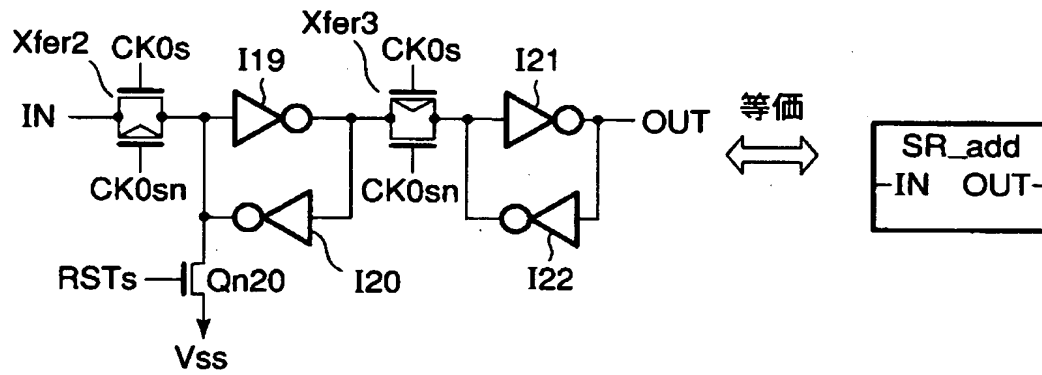




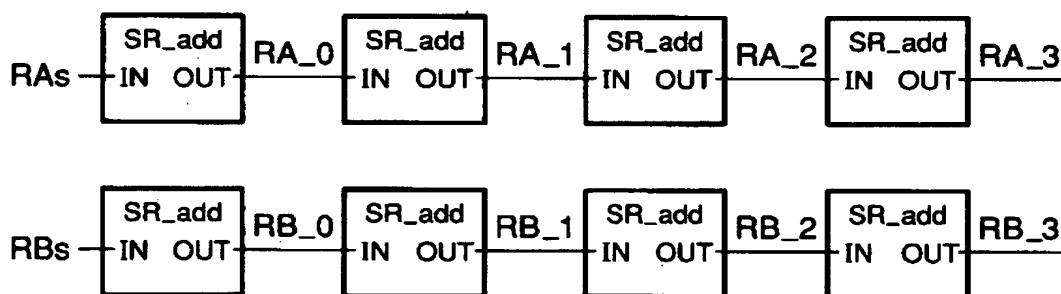
【図 17】



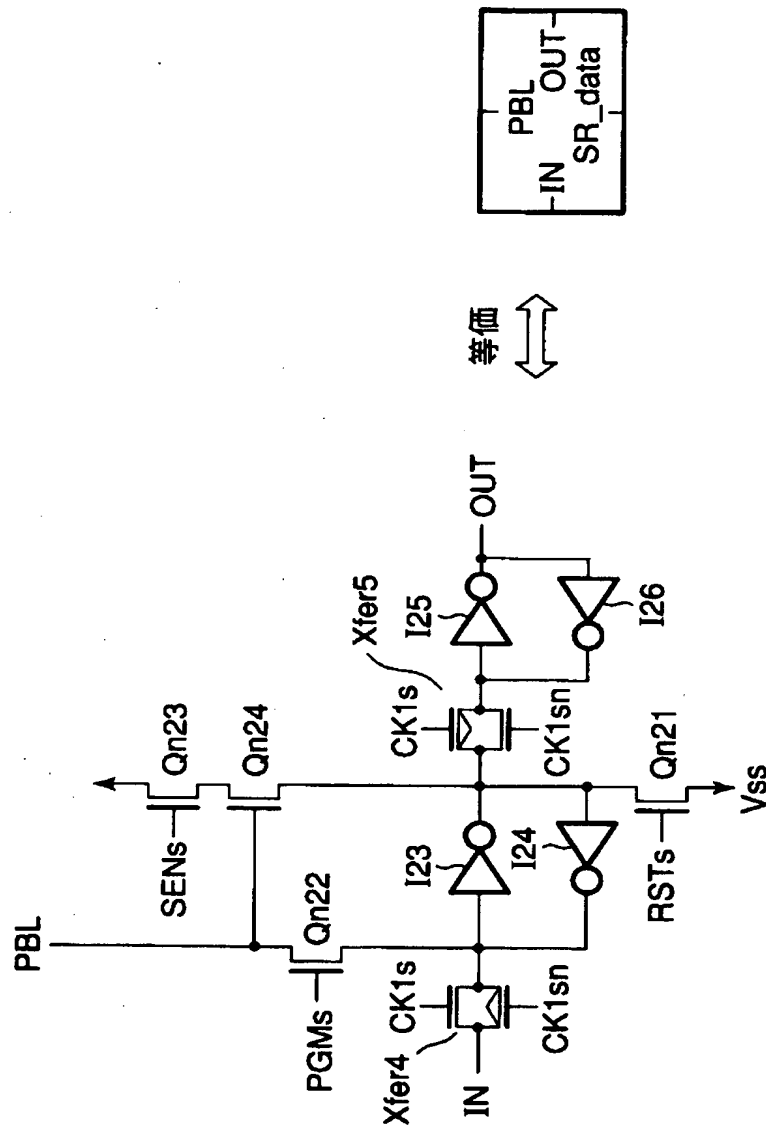
【図 1 8】



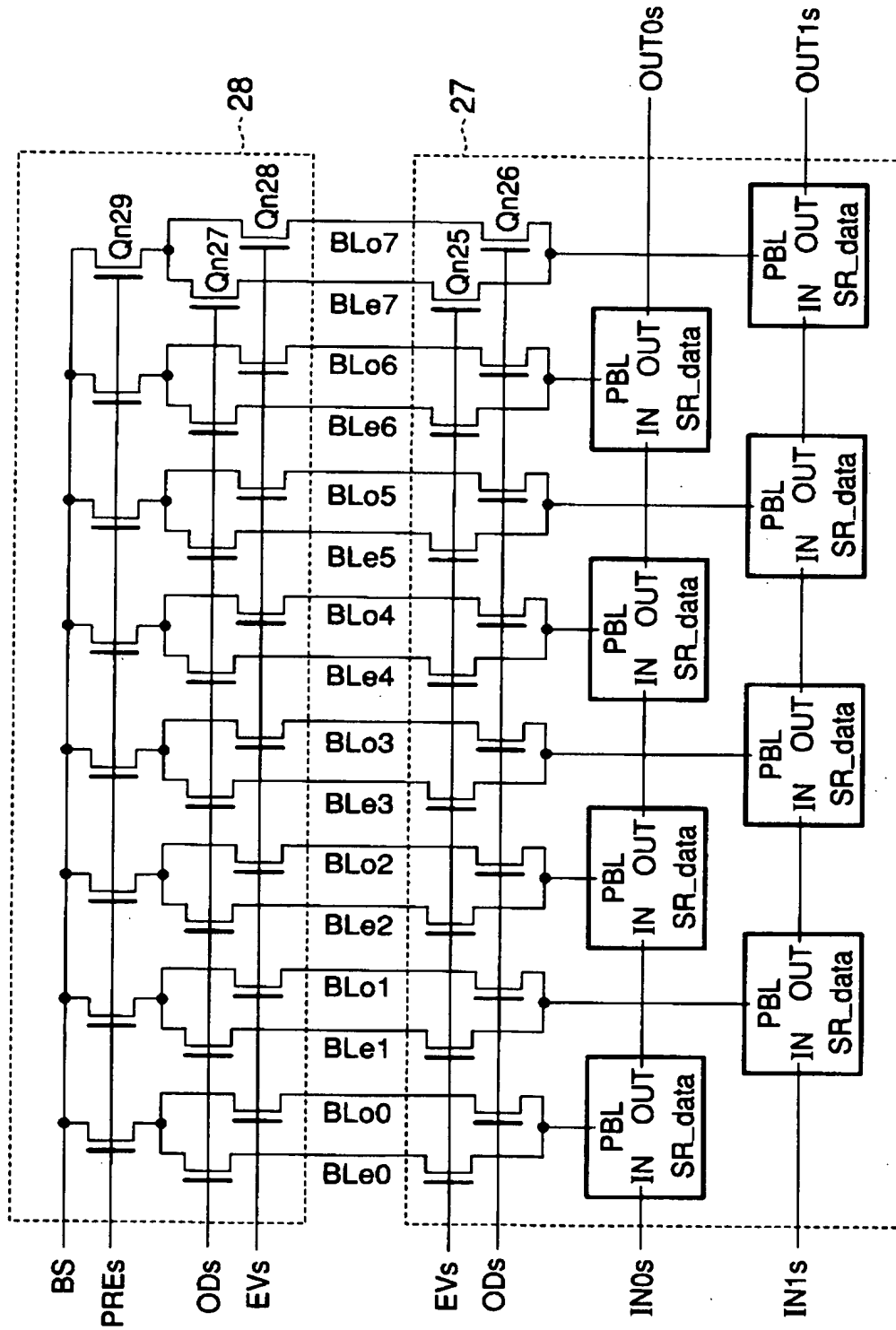
【図 1 9】



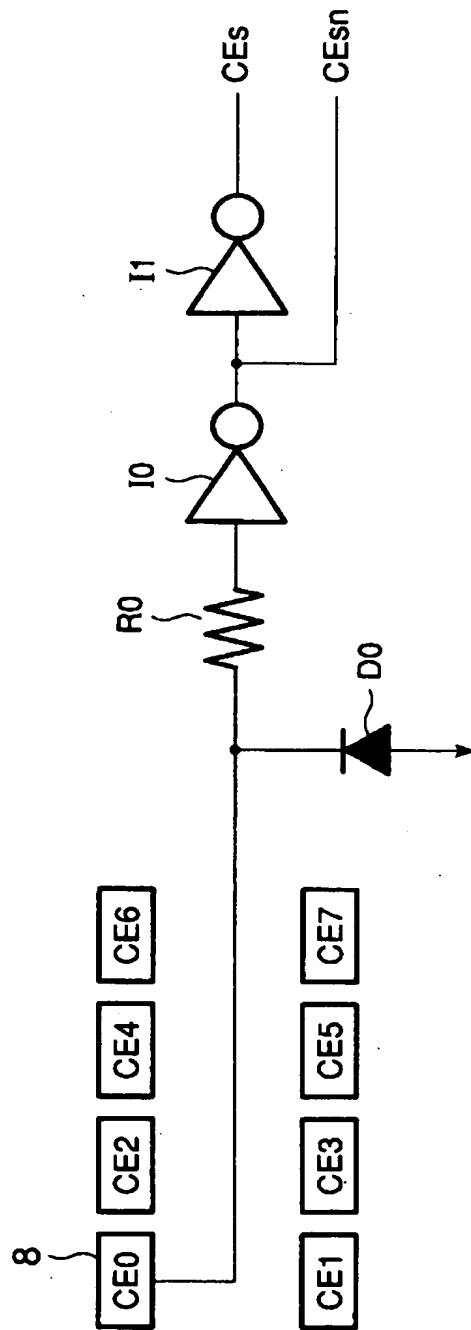
【図 20】



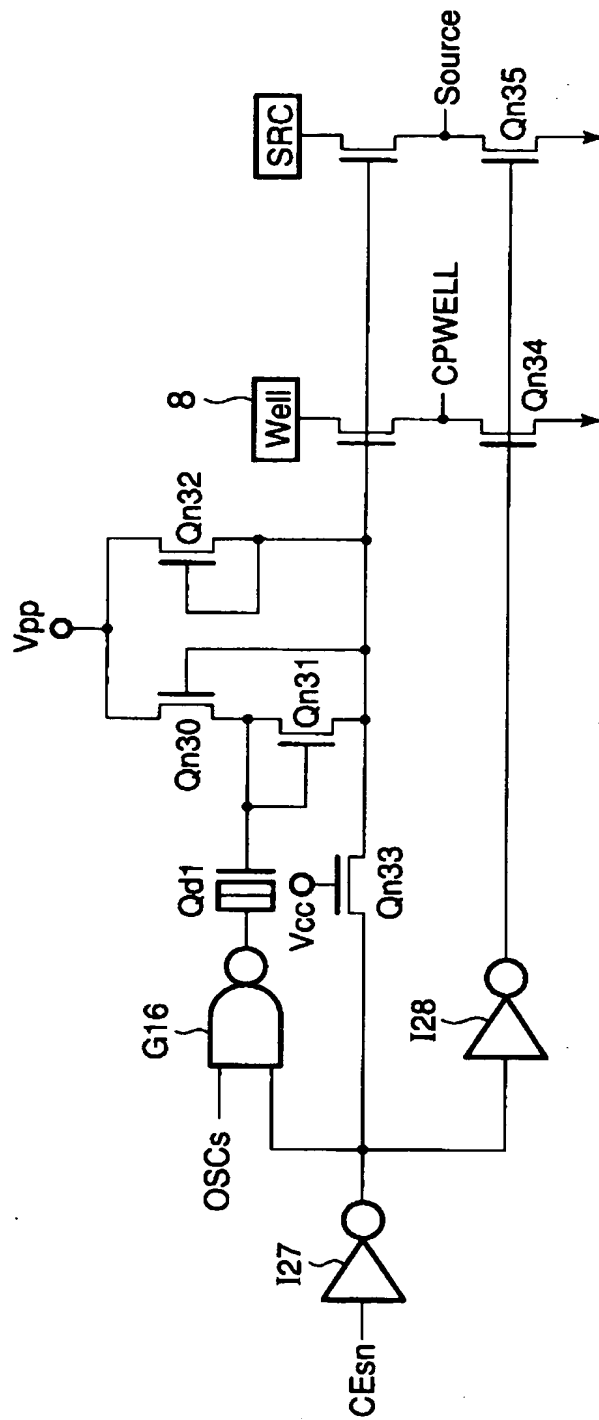
【図 21】



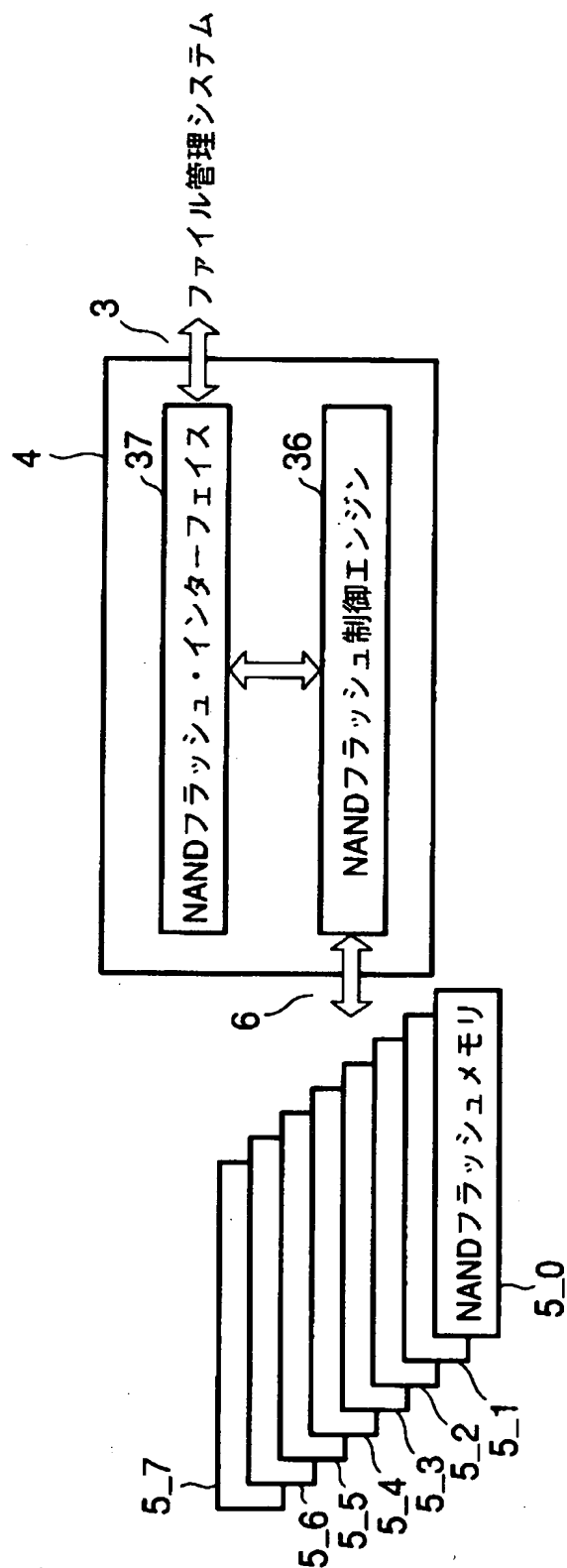
【図 2 2】



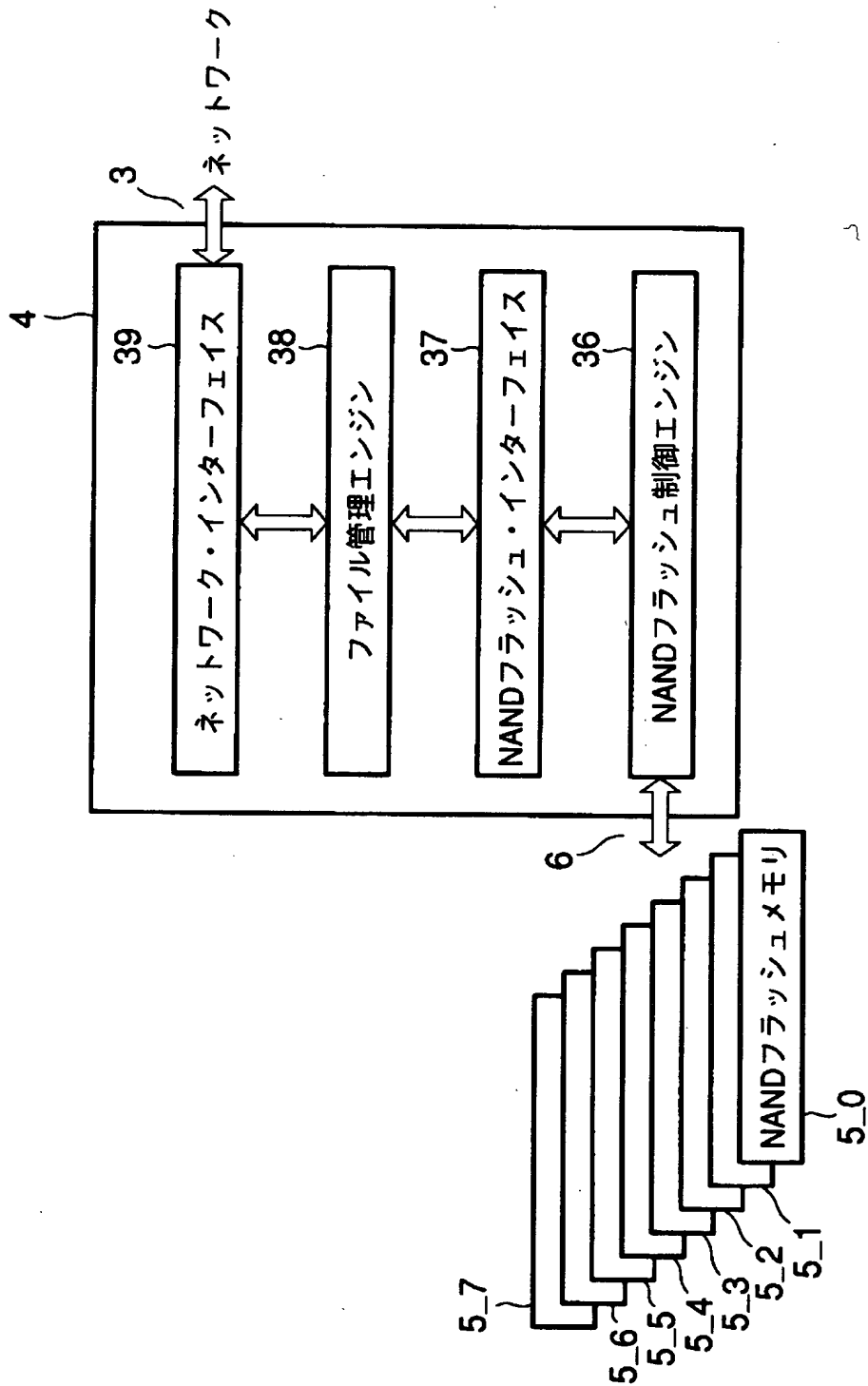
【図 23】



【図24】

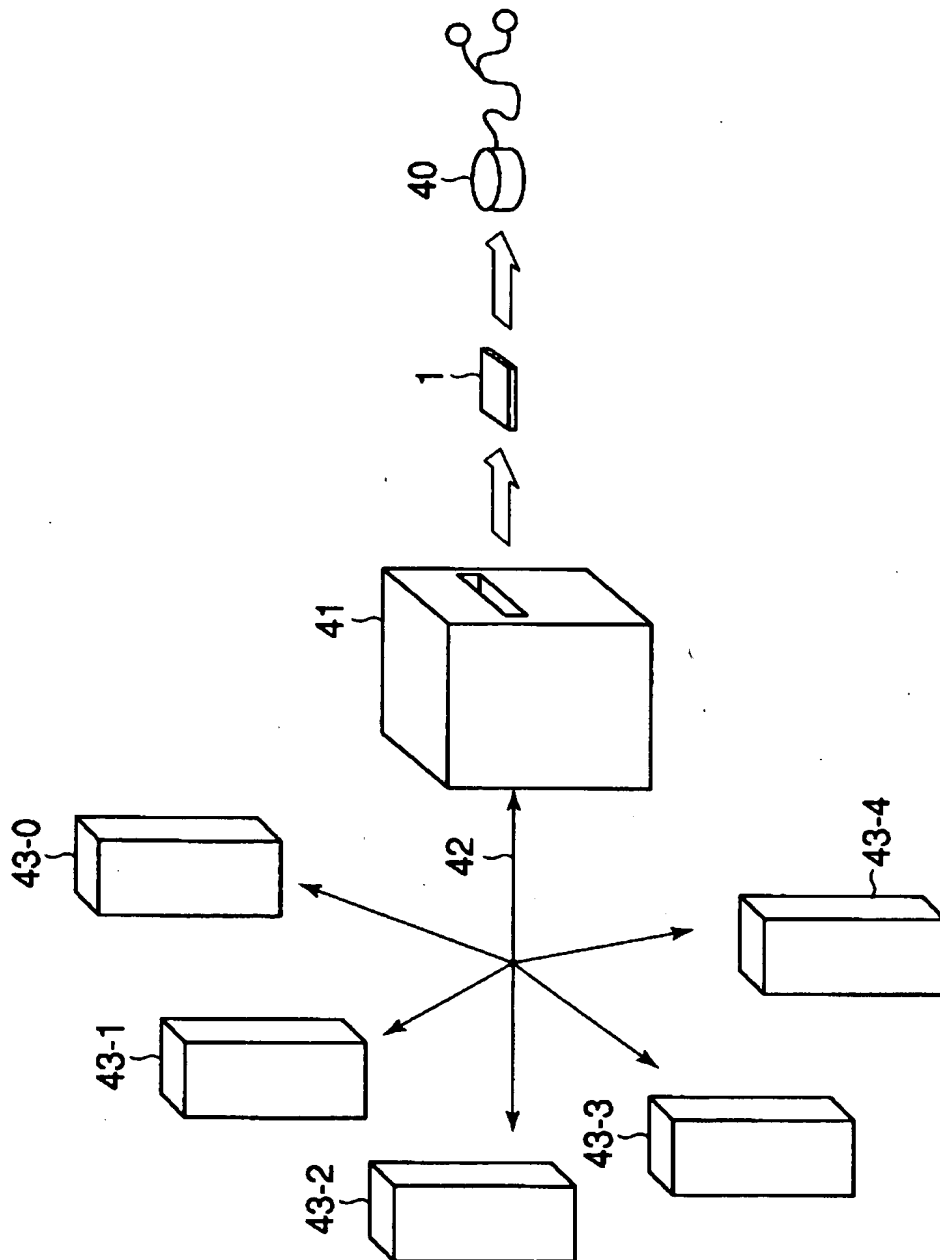


【図 25】

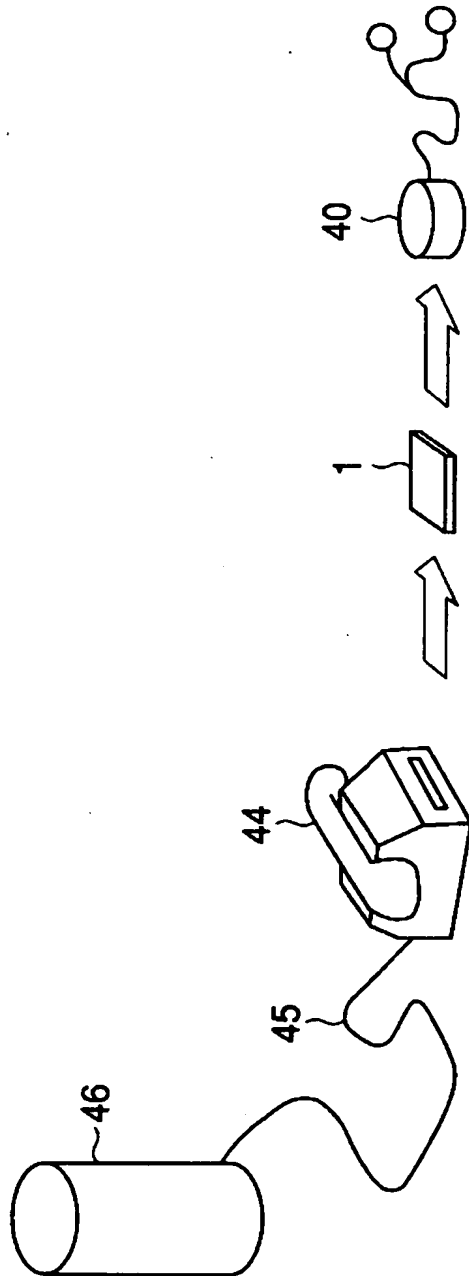




【図 2 6】



【図 2 7】



【書類名】                      要約書

【要約】

【課題】    コスト増を抑制できる不揮発性半導体記憶装置を提供すること。

【解決手段】    複数の不揮発性半導体メモリセルから構成されるメモリセルアレイと、前記メモリセルアレイに接続される複数のビット線と、前記メモリセルアレイに接続される複数のワード線と、それぞれの一端がそれぞれのワード線に接続され他端が入力端子に接続される複数の転送ゲートトランジスタと、が形成される第 1 の半導体基板を持つパッケージ 5 と、前記入力端子に接続される出力端子にその出力信号が出力される前記ワード線を制御するためのワード線制御回路が形成される第 2 の半導体基板を持つパッケージ 4 とを備える。

【選択図】                      図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝